

35.C14023

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

TAMAKI KOBAYASHI ET AL.

Application No.: 09/440,535

Filed: November 16, 1999

For: SUBSTRATE FOR ELECTRON
SOURCE, ELECTRON SOURCE
AND IMAGE FORMING
APPARATUS, AND
MANUFACTURING METHOD
THEREOF

Examiner: Not Assigned

Group Art Unit: 2879

RECEIVED

MAR 02 2000

TECHNOLOGY CENTER 2800

Date: February 29, 2000

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the
International Convention and all rights to which they are
entitled under 35 U.S.C. § 119 based upon the following
Japanese Priority Applications:

<u>Application Nos.</u>	<u>Date Filed</u>
10-328586	November 18, 1998
11-319396	November 10, 1999

RECEIVED
MAR 31 2000
TC 2800 MAIL ROOM



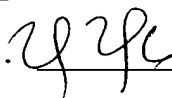
Certified copies of the priority documents are enclosed.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should be directed to our new address given below.

Respectfully submitted,



Attorney for Applicants

Registration No. _____
2824

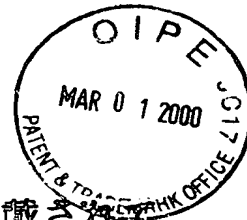
FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 64515 v 1

CF01402305/w

9/1/97

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の警類に記載されている事項は下記の出願警類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月10日

出 願 番 号

Application Number:

平成11年特許願第319396号

出 願 人

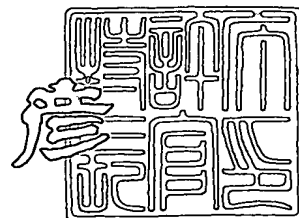
Applicant(s):

キヤノン株式会社

1999年12月10日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3086990

【書類名】 特許願

【整理番号】 4109009

【提出日】 平成11年11月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/195

【発明の名称】 電子源形成用基板、電子源及び画像形成装置並びにそれらの製造方法

【請求項の数】 22

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社 社内

 【氏名】 小林 玉樹

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社 社内

 【氏名】 柴田 雅章

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【先の出願に基づく優先権主張】

 【出願番号】 平成10年特許願第328586号

 【出願日】 平成10年11月18日



特平 1 1 - 3 1 9 3 9 6

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源形成用基板、電子源及び画像形成装置並びにそれらの製造方法

【特許請求の範囲】

【請求項 1】 電子放出素子が配置される電子源形成用基板であって、Na を含有する基板と、該基板上に形成された、 SiO_2 を主成分とする第 1 の層と電子伝導性酸化物を含有する第 2 の層とを有することを特徴とする電子源形成用基板。

【請求項 2】 前記Na を含有する基板上に、前記第 1 の層が形成されており、該第 1 の層上に、前記第 2 の層が形成されている請求項 1 に記載の電子源形成用基板。

【請求項 3】 前記第 2 の層は、 SiO_2 をその構成成分として含有している請求項 2 に記載の電子源形成用基板。

【請求項 4】 前記第 1 の層は、P, B, Ge からなる元素群から選ばれる少なくとも一種の元素を含有している請求項 2 または 3 に記載の電子源形成用基板。

【請求項 5】 前記Na を含有する基板上に、前記第 2 の層が形成されており、該第 2 の層上に、前記第 1 の層が形成されている請求項 1 に記載の電子源形成用基板。

【請求項 6】 前記第 2 の層は、 SiO_2 をその構成成分として含有している請求項 5 に記載の電子源形成用基板。

【請求項 7】 前記第 1 の層は、P, B, Ge からなる元素群から選ばれる少なくとも一種の元素を含有している請求項 5 または 6 に記載の電子源形成用基板。

【請求項 8】 前記電子放出素子は、前記第 1 または第 2 の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一対の電極とを備える電子放出素子である請求項 1 ～ 7 のいずれかに記載の電子源形成用基板。

【請求項 9】 請求項 1 ～ 7 のいずれかに記載された基板と、該基板の前記第 1 の層または前記第 2 の層上に配置された電子放出素子とを備えることを特徴

とする電子源。

【請求項 1 0】 請求項 1 ～ 7 のいずれかに記載された基板と、該基板の前記第 1 の層または前記第 2 の層上に配置された複数の電子放出素子とを備えることを特徴とする電子源。

【請求項 1 1】 請求項 1 ～ 7 のいずれかに記載された基板と、該基板の前記第 1 の層または前記第 2 の層上に配置された複数の電子放出素子と、該複数の電子放出素子をマトリクス配線した複数の行方向配線及び複数の列方向配線とを備えることを特徴とする電子源。

【請求項 1 2】 前記電子放出素子は、前記第 1 または第 2 の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一対の電極とを備える電子放出素子である請求項 9 ～ 1 1 のいずれかに記載の電子源。

【請求項 1 3】 請求項 9 ～ 1 2 のいずれかに記載された電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備えることを特徴とする画像形成装置。

【請求項 1 4】 電子放出素子が形成される電子源形成用基板の製造方法であって、N a を含有する基板上に、S i O₂ を主成分とする第 1 の層と電子伝導性酸化物を含有する第 2 の層とを形成することを特徴とする電子源形成用基板の製造方法。

【請求項 1 5】 前記第 1 及び第 2 の層の形成は、化学的成膜法により行われる請求項 1 4 に記載の電子源形成用基板の製造方法。

【請求項 1 6】 前記第 1 及び第 2 の層の形成は、原料ソースとして有機珪素化合物を用いて C V D 法により成膜する工程と、原料ソースとして、前記有機珪素化合物に加え電子伝導性酸化物を形成するための有機金属化合物を用いて C V D 法により成膜する工程とを有する請求項 1 4 に記載の電子源形成用基板の製造方法。

【請求項 1 7】 前記第 1 及び第 2 の層の形成は、有機珪素化合物を含むコート層を形成する工程と有機珪素化合物及び電子伝導性酸化物粒子を含むコート層を形成する工程と、前記両コート層を加熱する工程とを有する請求項 1 4 に記載の電子源形成用基板の製造方法。



【請求項 1 8】 Na を含有する基板上に、SiO₂ を主成分とする第 1 の層と電子伝導性酸化物を含有する第 2 の層とを形成する工程と、前記第 1 の層上または前記第 2 の層上に電子放出素子を形成する工程とを有することを特徴とする電子源の製造方法。

【請求項 1 9】 前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記電子伝導性酸化物として In, Sn, Sb, Re の中から選ばれる少なくとも一種の元素の酸化物を含有する第 2 の層上に形成される請求項 1 8 に記載の電子源の製造方法。

【請求項 2 0】 前記電子放出素子は炭素膜を有する電子放出素子であり、前記第 2 の層が SiO₂ を含有する層であって、該電子放出素子が、該第 2 の層上に形成される請求項 1 8 に記載の電子源の製造方法。

【請求項 2 1】 前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記 SiO₂ を主成分とする第 1 の層上に形成される請求項 1 8 に記載の電子源の製造方法。

【請求項 2 2】 電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、前記電子源が請求項 1 8 ～ 2 1 のいずれかに記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電子源の形成に用いられる電子源形成用基板と、該基板を用いた電子源並びに画像形成装置、及び、それらの製造方法に関する。

【0 0 0 2】

【従来の技術】

従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた 2 種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE 型」という。）、金属／絶縁層／金属型（以下、「MIM 型」という。）や表面伝導型電子放出素子等がある。FE 型の例としては W. P. Dyke & W

. W. Dolan, "Field emission", Advance in Electoron Physics, 8, 89 (1956) あるいは C. A. Spindt, "Physical Properties of Thin-Film Field Emission Cathodes with Molybdenum Cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。MIM 型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Apply. Phys., 32, 646 (1961) 等に開示されたものが知られている。表面伝導型電子放出素子型の例としては、M. I. Elinson, Recio Eng. Electron Phys., 10, 1290, (1965) 等に開示されたものがある。表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、Au 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3 / \text{SnO}_2$ 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの [荒木久 他: 真空、第 26 巻、第 1 号、22 頁 (1983)] 等が報告されている。

【0003】

上記のような電子放出素子を、基板上に配置して構成された電子源を、内部を真空に保持した外囲器中に保持して利用する為には、該電子源と外囲器、その他の部材とを接合する必要がある。この接合は、フリットガラスを用いて加熱、融着して行うのが一般的である。この時の加熱温度は、400～500℃程度が典型的で、時間は外囲器の大きさなどによって異なるが、10分～1時間程度が典型的である。

【0004】

尚、外囲器の材質としては、フリットガラスによる接合が容易で確実であるという点と比較的安価であるという点から、青板ガラスを用いる事が好ましい。また、Na の一部を K に置換して歪み点を上昇させた高歪み点ガラスもフリット接合が容易であるため、好ましく用いることができる。また、上記電子源の基板に関してもその材質は、外囲器との接合の確実性から、同様に青板ガラス、あるいは上記の高歪み点ガラスを用いる事が好ましい。

【0005】

【発明が解決しようとする課題】

上記青板ガラスには成分としてアルカリ金属元素、特にNaが Na_2O として大量に含有されている。Na元素は熱による拡散が生じ易いため、プロセス中で高温にさらされると、青板ガラス上に形成された各種部材、特に、電子放出素子を構成する部材中にNaが拡散し、その特性を変化させる場合がある。

【0006】

また、上記のようなNaによる影響は、電子源の基板として上述の高歪み点ガラスを用いた場合、Na含有量が少ない分、程度は緩和されるが発生する場合があることが分かった。

【0007】

以上のようなNaの影響を低減する手段として、例えば、特開平10-241550号公報、EP-A-850892号公報には、Naを含有する基板の少なくとも電子放出素子が配置される側の表層領域の該Naの含有濃度が、他の領域よりも小さくなっている電子源形成用の基板、更には、リン含有層を有する電子源形成用の基板が開示されている。また一方では、電子源が形成される基板は通常絶縁材料よりなるため、電子を放出させる為に使用する高電圧の印加された状態で駆動する場合においては、基板の露出している部分でチャージアップ現象が生じ、このチャージアップへの対策が何ら採られていない場合には、安定に長時間駆動する事が困難になってしまったり、電子源から放出される電子の軌道が乱れてしまい電子放出特性が経時的に変化する場合がある

以上のようなチャージアップによる影響を低減する手段として、例えば、USP4,954,744号公報、あるいは、特開平8-180801号公報には、基板表面あるいは電子放出素子表面を $10^8 \sim 10^{10} \Omega/\square$ のシート抵抗を有する帯電防止膜で被覆することが開示されている。

【0008】

そこで本発明は、電子放出素子の電子放出特性の経時的変化が低減される電子源形成用基板及びその製造方法を提供することを目的とする。

【0009】

また、本発明は、電子放出素子の電子放出特性の経時的変化が低減された電子

源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することを目的とする。

【0010】

また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減される電子源形成用基板及びその製造方法を提供することを目的とする。

【0011】

また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することを目的とする。

【0012】

【問題を解決するための手段】

本発明による電子源形成用基板は、電子放出素子が配置される電子源形成用基板であって、Naを含有する基板と、該基板上に形成された、SiO₂を主成分とする第1の層と電子伝導性酸化物を含有する第2の層とを有することを特徴とする。

【0013】

また、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記Naを含有する基板上に、前記第1の層が形成されており、該第1の層上に、前記第2の層が形成されていることを特徴とする。

【0014】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第2の層は、SiO₂をその構成成分として含有していることを特徴とする。

【0015】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有していることを特徴とする。

【0016】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、

前記Naを含有する基板上に、前記第2の層が形成されており、該第2の層上に、前記第1の層が形成されていることを特徴とする。

【0017】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第2の層は、 SiO_2 をその構成成分として含有していることを特徴とする。

【0018】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有していることを特徴とする。

【0019】

更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一对の電極とを備える電子放出素子であることを特徴とする。

【0020】

本発明による電子源は、上記の基板と、該基板の前記第1の層または前記第2の層上に配置された電子放出素子とを備えることを特徴とする。

【0021】

また、本発明による電子源は、上記の基板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子とを備えることを特徴とする。

【0022】

更に、本発明による電子源は、上記の基板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子と、該複数の電子放出素子をマトリクス配線した複数の行方向配線及び複数の列方向配線とを備えることを特徴とする。

【0023】

更に、本発明による電子源は、上記の電子源において、前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導

電性膜に接続された一対の電極とを備える電子放出素子であることを特徴とする。

【0024】

本発明による画像形成装置は、上記の電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備えることを特徴とする。

【0025】

本発明による電子源形成用基板の製造方法は、電子放出素子が形成される電子源形成用基板の製造方法であって、Naを含有する基板上に、SiO₂を主成分とする第1の層と電子伝導性酸化物を含有する第2の層とを形成することを特徴とする。

【0026】

また、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、化学的成膜法により行われることを特徴とする。

【0027】

更に、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、原料ソースとして有機珪素化合物を用いてCVD法により成膜する工程と、原料ソースとして、前記有機珪素化合物に加え電子伝導性酸化物を形成するための有機金属化合物を用いてCVD法により成膜する工程とを有することを特徴とする。

【0028】

更に、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、有機珪素化合物を含むコート層を形成する工程と有機珪素化合物及び電子伝導性酸化物粒子を含むコート層を形成する工程と、前記両コート層を加熱する工程とを有することを特徴とする。

【0029】

本発明による電子源の製造方法は、Naを含有する基板上に、SiO₂を主成分とする第1の層と電子伝導性酸化物を含有する第2の層とを形成する工程と、



前記第1の層上または前記第2の層上に電子放出素子を形成する工程とを有することを特徴とする。

【 0 0 3 0 】

また、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記電子伝導性酸化物として In 、 Sn 、 Sb 、 Re の中から選ばれる少なくとも一種の元素の酸化物を含有する第2の層上に形成されることを特徴とする。

【 0 0 3 1 】

更に、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であり、前記第2の層が SiO_2 を含有する層であって、該電子放出素子が、該第2の層上に形成されることを特徴とする。

【 0 0 3 2 】

更に、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記 SiO_2 を主成分とする第1の層上に形成されることを特徴とする。

【 0 0 3 3 】

本発明による画像形成装置の製造方法は、電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、前記電子源が請求項 1 8 ～ 2 1 のいずれかに記載の方法にて製造されることを特徴とする。

【 0 0 3 4 】

以下、本発明について更に詳述する。

【 0 0 3 5 】

本発明において、 SiO_2 を主成分とする第1の層及び電子伝導性酸化物を含有する第2の層が形成される基板は、 Na を含有する基板全てを対象とするものであるが、好ましくは、主成分として SiO_2 を 5 0 ～ 7 5 重量%、 Na を 2 ～ 1 7 重量%含有するガラス基板である。

【 0 0 3 6 】

また、本発明において、上記第1の層及び上記第2の層は、上記Na含有基板上にまず第1の層が形成され、続いて、該第1の層上に第2の層が形成されている場合と、上記Na含有基板上にまず第2の層が形成され、続いて、該第2の層上に第1の層が形成されている場合の両方の場合を含む。

【0037】

また、本発明において、電子伝導性とはイオン伝導性に対して用いられたもので、電子伝導性材料を含有する層を設けることは以下の利点を有する。

【0038】

即ち、電子伝導性材料を含有する層を基板に設けることにより、基板表面は電気伝導性を示すようになり、チャージアップによる駆動中の不安定性を抑制することができる。この電気伝導性を得るために、イオン伝導性材料を用いると、駆動にかかわる電圧が印加される事により、長時間電圧が印加されるうちにイオンが移動し、その結果該イオンが偏析し、電子源特性を不安定にすることがある。これはイオンの移動に要する時間が大きいため、例えば駆動に関わりパルス状に電圧を印加する場合においては、パルスとパルスの間、即ち休止時間内にイオンの移動が完全に復元されないために生ずるものと考えられる。このようなイオンの偏析が電子源特性に影響をもたらす。従って、本発明のように基板が電子伝導性材料を含有する層を有し、その伝導が主に電子伝導による場合においては、イオンの偏析がほとんど生じず、上述の電子源特性にもたらす影響を回避できる。

【0039】

【発明の実施の形態】

以下、図面を参照しながら本発明の好ましい実施形態について説明する。

【0040】

まず、図1は、電子源形成用基板の第1の実施形態を示す断面図である。図1において、1はNaを含有する、例えば、青板ガラス、あるいは、Naの一部をKに置換して歪み点を上昇させた高歪み点ガラスなどの基板、6はSiO₂を主成分とした第1の層、7は該第1の層上に形成された電子伝導性酸化物を含有した第2の層である。

【 0 0 4 1 】

ここで、図 1 に示された本実施形態の電子源形成用基板は、第 2 の層 7 上に電子放出素子が形成される。そこで、 SiO_2 を主成分とした第 1 の層 6 は、主として、電子放出素子を構成する部材への Na の拡散をブロックする目的で設けられた層であり、図 1 に示したように、Na を含有する基板 1 上に形成することで、基板 1 からの Na 拡散を抑制する効果を有する。第 1 の層 6 の厚さは、上記の Na 拡散を抑制する効果の点で、300 nm 以上とされるのが好ましく、また、膜の応力によるクラックの発生や膜はがれを防止するという点で、更に $3 \mu\text{m}$ 以下とされるのが特に好ましい。また、第 1 の層に、P, B, Ge のうち少なくとも一種以上の元素が添加されていることは、第 1 の層の膜応力を緩和することができるので、上記膜の応力によるクラックの発生や膜はがれを生じることなく第 1 の層を比較的より厚く形成することができるので好ましい。

【 0 0 4 2 】

また、第 2 の層 7 は、電子伝導性酸化物を含有した層であり、電子放出素子が形成される基板表面の帯電を防止する目的で設けられた層である。この第 2 の層 7 は電子伝導性を示すため、基板表面のチャージアップを抑制し、該第 2 の層 7 上に配置される電子放出素子の安定した電子放出特性を得ることができる。第 2 の層 7 の膜厚は特に規定されないが、基板表面のシート抵抗値が $10^8 \Omega/\square \sim 10^{13} \Omega/\square$ の範囲内とされることがより十分な上記効果を得る上で特に好ましい。また、第 2 の層 7 に含有される電子伝導性酸化物としては、例えば、Fe, Ni, Cu, Pd, Ir, In, Sn, Sb, Re から選ばれる少なくとも一種以上の元素の酸化物粒子である。また、下層である第 1 の層 6 が SiO_2 を主成分とする層であることからこの第 2 の層 7 もまた SiO_2 を主成分とする層であることが好ましい。

【 0 0 4 3 】

次に、図 2 は、電子源形成用基板の第 2 の実施形態を示す断面図である。本実施形態においては、上述した第 1 の実施形態における第 1 の層 6 と第 2 の層 7 の積層順が異なっており、図 2 に示すように、第 1 の層 6 が、基板 1 上に形成された第 2 の層の上に形成されている。

【0044】

図2において、1はNaを含有する、例えば、青板ガラス、あるいは、Naの一部をKに置換して歪み点を上昇させた高歪み点ガラスなどの基板、7は該Naを含有する基板上に形成された電子伝導性酸化物を含有した第2の層、6は該第2の層上に形成された SiO_2 を主成分とした第1の層、である。

【0045】

まず、Naを含有する基板1上に配置される第2の層7は、電子伝導性酸化物を含有した層であり、電子放出素子が形成される基板表面の帯電を防止する目的で設けられた層である。この第2の層7は電子伝導性を示すため、基板表面のチャージアップを抑制し、以下で述べる第1の層6上に配置される電子放出素子の安定した電子放出特性を得ることができる。第2の層7の膜厚は特に規定されないが、基板表面のシート抵抗値が $10^8 \Omega/\square \sim 10^{13} \Omega/\square$ の範囲内とされることがより十分な上記効果を得る上で特に好ましい。また、第2の層7に含有される電子伝導性酸化物としては、上述の第1の実施形態と同様に、例えば、Fe, Ni, Cu, Pd, Ir, In, Sn, Sb, Reから選ばれる少なくとも一種以上の元素の酸化物粒子である。また、上層である第1の層6が、以下に述べる通り SiO_2 を主成分とする層であることからこの第2の層7もまた SiO_2 を主成分とする層であることが好ましい。

【0046】

また、本実施形態の電子源形成用基板は、上記第2の層7上に形成される第1の層6上に電子放出素子が配置される。そこで、 SiO_2 を主成分とした第1の層6は、主として、電子放出素子を構成する部材へのNaの拡散をブロックする目的で設けられた層であり、図2に示したように、Naを含有する基板1上の第2の層7の上に形成することで、基板1からのNa拡散を抑制する効果を有する。第1の層6の厚さは、上述した第1の実施形態に比べ、基板1から第2の層7を拡散してきた低濃度のNaをブロックすればよいためより薄く形成することができるが、上記のNa拡散を抑制する効果の点、更には、上述した第2の層7中に含有される酸化物粒子による電子放出素子が配置される基板表面での凹凸を低減する上で、50nm以上とされるのが好ましい。また、電子放出素子が配置される

基板表面のシート抵抗値が上記の好ましい範囲内とされる上で第1の層6の厚さは300nm以下とされるのが特に好ましい。また、第1の層に、P、B、Geのうち少なくとも一種以上の元素が添加されていることは、上述の第1の実施形態と同様に、第1の層の膜応力を緩和することができるので、上記膜の応力によるクラックの発生や膜はがれを生じることなく第1の層を比較的より厚く形成することができるので好ましい。

【0047】

次に、図3の(a)、(b)及び図4の(a)、(b)を用いて、上述の電子源形成用基板を用いた電子源の実施形態について説明する。

【0048】

まず、図3の(a)、(b)は、電子源の第1の実施形態を示す模式図であり、図3の(a)は平面図、図3の(b)は断面図である。本実施形態の電子源は、上述の図1にて示された電子源形成用基板を用いて構成された電子源であり、図3の(a)、(b)において1、6、7はそれぞれ上述の、Naを含有する基板、 SiO_2 を主成分とした第1の層、電子伝導性酸化物を含有した第2の層である。本実施形態の電子源は、第2の層7上に電子放出素子が配置されている。ここで、電子放出素子は、例えば、一对の電極と、該一对の電極間に配置された、電子放出部を有する導電性膜とを備える電子放出素子であって、本実施形態においては、図3の(a)、(b)に示されるように、間隙5を隔てて配置された一对の導電性膜4と、一对の導電性膜4にそれぞれ電氣的に接続された一对の素子電極2、3とを備える表面伝導型電子放出素子が用いられている。尚、図3の(a)、(b)に示される表面伝導型電子放出素子は、導電性膜4上に炭素膜を有する形態の素子であることがより好ましい。

【0049】

また、図4の(a)、(b)は、電子源の第2の実施形態を示す模式図であり、図4の(a)は平面図、図4の(b)は断面図である。本実施形態の電子源は、上述の図2にて示された電子源形成用基板を用いて構成された電子源であり、図4の(a)、(b)において1、6、7はそれぞれ上述の、Naを含有する基板、 SiO_2 を主成分とした第1の層、電子伝導性酸化物を含有した第2の層で

ある。本実施形態の電子源は、第1の層6上に電子放出素子が配置されており、本実施形態における電子放出素子もまた図3の(a), (b)で示された第1の実施形態の電子源と同様の素子である。

【0050】

ここで、電子源の第1及び第2の実施形態において用いられた表面伝導型電子放出素子について以下に詳述する。

【0051】

まず、対向する素子電極2, 3の材料としては、一般的な導体材料を用いることができ、例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属或は合金、または、Pd, Ag, Au, RuO₂, Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、または、In₂O₃-SnO₂等の透明導電体、または、ポリシリコン等の半導体導体材料等から適宜選択することができる。

【0052】

また、導電性膜4構成する材料としては、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pd等の金属、または、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃等の酸化物等の中から適宜選択することができる。

【0053】

導電性膜4は、良好な電子放出特性を得るために、1nm~20nmの範囲内の粒径を有する複数の微粒子で構成された微粒子膜であることが好ましい。また、導電性膜4の膜厚は、好ましくは1nm~50nmの範囲とするのが良い。

【0054】

また、間隙5は、例えば、素子電極2, 3間に跨って形成された導電性膜に、後述するフォーミング処理で亀裂を形成することにより形成される。

【0055】

また、上述した通り、導電性膜4上には炭素膜が形成されていることが、電子放出特性の向上及び電子放出特性の経時的変化の低減のうえで好ましい。

【0056】

この炭素膜は、例えば、図 5 の (a) , (b) に示されるように形成される。ここで図 5 の (a) は炭素膜を有する表面伝導型電子放出素子の導電性膜の間隙部付近を拡大した模式的平面図、図 5 の (b) はその A - A' 断面図である。図 5 に示されるように、炭素膜を有する表面伝導型電子放出素子は、上記一对の導電性膜 4 で形成される間隙 5 よりも狭い間隙 8 を形成するように、該導電性膜 4 に接続されて、間隙 5 内の基板 1 0 上及び導電性膜 4 上に炭素膜 9 を有している。また、図 6 の (a) , (b) に示すように、一对の導電性膜 4 の、間隙 5 に面する両端に、上記同様に炭素膜 9 を有する形態であっても上記同様の効果を奏する。

【 0 0 5 7 】

次に、図 7 を参照しながら、図 3 の (a) , (b) で示された上述の電子源の製造方法の一例について説明する。

【 0 0 5 8 】

1) 青板ガラス、高歪み点ガラスなどの N a 含有基板 1 を洗剤、純水および有機溶剤等を用いて十分に洗浄し、かかる基板 1 上に第 1 の層 6 を形成する。ここで第 1 の層 6 の形成法としては、スパッタ法、真空蒸着法等の物理的成膜法を用いることができるが、化学的成膜法を用いるのが好ましい。化学的成膜法とは、その成膜元素を含む化合物（出発材料）を用い、化学反応を経て成膜する方法であり、有機化合物の焼成、C V D 法等が一般に知られている。これらの方法によれば、比較的容易に厚い膜が得られる、凹凸表面を平坦化できる、といった利点を有する。第 1 の層 6 の出発材料としては、その主成分となる珪素の化合物が用いられるが、この珪素の化合物に、リン化合物、ホウ素化合物、ゲルマニウム化合物を添加、あるいは同時に導入することで、上述した P , B , G e が添加された層を形成することができる。

【 0 0 5 9 】

続いて、この第 1 の層 6 の上に第 2 の層 7 を形成する。

【 0 0 6 0 】

ここで第 2 の層 7 の形成法としては、上記物理的成膜法や微粒子分散塗布法等を用いてもよいが、第 1 の層 6 の形成法と同じ化学的成膜法を用いると、上記第 1

の層 6 の形成に続けて連続的に形成できるため好ましい。例として、第 1 の層 6 をその出発材料として珪素の化合物を用い C V D 法で成膜し、続いて、出発材料として、上記珪素の化合物に代えて電子伝導性酸化物となる化合物のソースに切り替えて、第 2 の層 7 を連続成膜することができる。また、第 1 の層 6 をその出発材料として珪素の化合物を用い C V D 法で成膜し、続いて、出発材料として、上記珪素の化合物に加えて電子伝導性酸化物となる化合物のソースを導入して、第 2 の層 7 を連続成膜することは、その表面に電子放出素子が形成される第 2 の層 7 に SiO_2 が含有されるため、特に、電子放出素子が表面伝導型電子放出素子である場合には、後述する活性化が促進され、活性化処理時間の短縮、電子放出特性の向上がなされる。また、第 2 の層 7 に含有される電子伝導性酸化物が、とりわけ In , Sn , Sb , Re の少なくとも一種の元素を含む酸化物である場合にも、 In , Sn , Sb , Re は上記活性化の促進作用を有するので上記同様の効果を奏する。

【 0 0 6 1 】

以上のようにして、基板 1 上に、第 1 の層 6、第 2 の層 7 がこの順にて積層された電子源形成用基板が作成される（図 7 の（a））。

【 0 0 6 2 】

次に、上記電子源形成用基板上に電子放出素子、とりわけ、表面伝導型電子放出素子が形成される。

【 0 0 6 3 】

2) まず、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて第 2 の層 7 表面に素子電極 2, 3 を形成する（図 7 の（b））。

【 0 0 6 4 】

3) 素子電極 2, 3 を設けた第 2 の層 7 上に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜 4 の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性膜 4 を形成する（図 7 の（c））。ここでは、有機金属溶液の塗布法を挙げて説明したが、導

電性膜 4 の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0065】

4) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極 2, 3 間に、不図示の電源を用いて、通電を行うと、導電性膜 4 に、間隙 5 が形成される (図 7 の (d))。通電フォーミングの電圧波形の例を図 8 に示す。

【0066】

電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図 8 の (a) に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図 8 の (b) に示した手法がある。

【0067】

図 8 の (a) における $T1$ 及び $T2$ は電圧波形のパルス幅とパルス間隔である。通常 $T1$ は $1\mu\text{sec.} \sim 10\text{msec.}$ 、 $T2$ は、 $10\mu\text{sec.} \sim 10\text{msec.}$ の範囲で設定される。三角波の波高値 (通電フォーミング時のピーク電圧) は、電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0068】

図 8 の (b) における $T1$ 及び $T2$ は、図 8 の (a) に示したのと同様とすることができる。三角波の波高値 (通電フォーミング時のピーク電圧) は、例えば 0.1V / ステップ程度ずつ、増加させることができる。通電フォーミング処理の終了は、パルス間隔 $T2$ 中に、例えば 0.1V 程度の電圧を印加し、この時に流れる素子電流を測定し、抵抗値を求めて、 $1\text{M}\Omega$ 以上の抵抗を示した時、通電フォーミングを終了させる。

【0069】

5) フォーミングを終えた素子に活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流 I_f 、放出電流 I_e が、著しく

変化する工程である。活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルス印加を繰り返すことを行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケント類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メンタ、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素膜が素子上に堆積し、素子電流 I_f 、放出電流 I_e が、著しく変化ようになる。

【0070】

活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら、適宜行う。尚パルス幅、パルス間隔、パルス波高値などは、適宜設定される。

【0071】

上記炭素膜は、例えばグラファイト（いわゆるHOPG、PG、GCを包含する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）の膜であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

【0072】

以上のようにして、図 3 の (a) , (b) で示された電子源が製造される。

【 0 0 7 3 】

次に、図 4 の (a) , (b) で示された電子源の製造方法の一例について以下に述べる。

【 0 0 7 4 】

1) 青板ガラス、高歪み点ガラスなどの N a 含有基板製の基体 1 を洗剤、純水および有機溶剤等を用いて十分に洗浄し、かかる基板 1 上に、第 2 の層 7 を、該第 2 の層上に第 1 の層 6 をそれぞれ以下の手順で順次形成する。まず、上述した電子伝導性酸化物の粒子を基板 1 上に分散塗布する。このとき、上記分散溶液中に、珪素化合物を混入させておくことにより上述した SiO_2 を主成分とする第 2 の層 7 を形成することができる。続いて、上記分散溶媒を乾燥させた後、その上に、第 1 の層 6 の出発原料である珪素化合物、例えば有機珪素を含有する溶液を塗布する。このとき第 1 の層 6 の出発原料である上記珪素化合物に、リン化合物、ホウ素化合物、あるいは、ゲルマニウム化合物を添加することで、上述した P , B , あるいは Ge が添加された第 1 の層 6 を形成することができる。その後、基板 1 ごとオープンで加熱焼成し、基板 1 上に第 2 の層 7 と第 1 の層 6 を形成することができる。この手法は、特に、酸化物粒子を含む第 2 の層 7 の表面が凹凸を有するため、第 1 の層 6 を上記方法で更に形成することによって、電子源形成用基板の表面が比較的平坦となり、電子放出素子を形成し易くするため好ましく用いられる。また、電子放出素子が上述の表面伝導型電子放出素子のように、膜状の導電性部材（導電性膜）を有する場合には、かかる凹凸により段差切れを起こす可能性があるため、上記第 1 の層 6 を設けることがより好ましい。また、第 1 の層 6 が SiO_2 を主成分とすることから、表面伝導型電子放出素子の前述した活性化が促進され、活性化処理時間の短縮、電子放出特性の向上がなされる。以上のようにして、基板 1 上に、第 2 の層 7、第 1 の層 6 がこの順にて積層された電子源形成用基板が作成される。

【 0 0 7 5 】

次に、上記電子源形成用基板上に電子放出素子、とりわけ、表面伝導型電子放出素子が形成される。この表面伝導型電子放出素子の形成は、上述した同様の方

法によりなされる。

【 0 0 7 6 】

以上述べた電子源形成用基板を用いて形成された電子源の別の実施形態として、複数の電子放出素子が配列された電子源、及びその電子源を用いた画像形成装置の例について以下に説明する。

【 0 0 7 7 】

図9は、上述した図1または図2で示される電子源形成用基板上に複数の電子放出素子がマトリクス配線された電子源を示す模式図である。図9において、71は基板であり、上記の第1の層と第2の層が予め設けられている。72は行方向配線、73は列方向配線である。また、76は電子放出素子、75は結線である。

【 0 0 7 8 】

m本の行方向配線72は、 $D \times 1$, $D \times 2$, ..., $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。列方向配線73は、 $D \times 1$, $D \times 2$, ..., $D \times n$ のn本の配線よりなり、行方向配線72と同様に形成される。これらm本の行方向配線72とn本の列方向配線73との間には、不図示ではあるが層間絶縁層が設けられており、両者を電氣的に分離している（m, nは、共に正の整数）。

【 0 0 7 9 】

層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、列方向配線73を形成した電子源基板71の全面或は一部に所望の形状で形成され、特に、行方向配線72と列方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。行方向配線72と列方向配線73は、それぞれ外部端子として引き出されている。

【 0 0 8 0 】

電子放出素子76は、m本の行方向配線72とn本の列方向配線73とに導電性金属等からなる結線75によって電氣的に接続されている。

【 0 0 8 1 】

行方向配線72には、X方向に配列した電子放出素子74の行を、選択するた

めの走査信号を印加する不図示の走査信号印加手段が接続される。一方、列方向配線 7 3 には、Y 方向に配列した電子放出素子 7 4 の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【 0 0 8 2 】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【 0 0 8 3 】

上記電子放出素子として表面伝導型電子放出素子を用い、上述の電子源形成用基板上に、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源を用いて構成した画像形成装置について、図 1 0 と図 1 1 及び図 1 2 を用いて説明する。図 1 0 は、画像形成装置の表示パネルの一例を示す模式図であり、図 1 1 は、図 1 0 の画像形成装置に使用される蛍光膜の模式図である。図 1 2 は、NTSC 方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【 0 0 8 4 】

図 1 0 において、7 1 は、表面伝導型電子放出素子 7 6 を複数配した、上述の図 1 または図 2 で示される基板、8 1 は基板 7 1 を固定したリアプレート、8 6 はガラス基板 8 3 の内面に蛍光膜 8 4 とメタルバック 8 5 が形成されたフェースプレートである。8 2 は支持枠であり、該支持枠 8 2 には、リアプレート 8 1、フェースプレート 8 6 が低融点のフリットガラスなどを用いて、接合されている。

【 0 0 8 5 】

7 2, 7 3 は、表面伝導型電子放出素子 7 6 と接続された行方向配線及び列方向配線である。

【 0 0 8 6 】

外囲器 8 8 は、上述の如く、フェースプレート 8 6、支持枠 8 2、リアプレート 8 1 で構成される。リアプレート 8 1 は主に基板 7 1 の強度を補強する目的で

設けられるため、基板 71 自体で十分な強度を持つ場合は別体のリアプレート 81 は不要とすることができる。即ち、基板 71 に直接支持棒 82 を封着し、フェースプレート 86、支持棒 82 及び基板 71 で外囲器 88 を構成しても良い。一方、フェースプレート 86、リアプレート 81 間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 88 を構成することもできる。

【0087】

図 11 は、蛍光膜を示す模式図である。蛍光膜 84 は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材 91 と蛍光体 92 とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体 92 間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜 84 における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0088】

ガラス基板に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜 84 の内面側には、通常メタルバック 85 が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート 86 側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理（通常、「フィルミング」と呼ばれる。）を行い、その後 A1 を真空蒸着等を用いて堆積させることで作製できる。

【0089】

フェースプレート 86 には、更に蛍光膜 84 の導電性を高めるため、蛍光膜 84 の外面側に透明電極（不図示）を設けてもよい。

【0090】

前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0091】

図10に示した画像形成装置の製造方法の一例を以下に説明する。図13はこの工程に用いる装置の概要を示す模式図である。外囲器88は、排気管132を介して真空チャンバー133に連結され、さらにゲートバルブ134を介して排気装置135に接続されている。真空チャンバー133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重極質量分析器137等が取り付けられている。外囲器88内部の圧力などを直接測定することは困難であるため、該真空チャンバー133内の圧力などを測定し、処理条件を制御する。真空チャンバー133には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入ライン138が接続されている。該ガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンブルやボンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段139が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【0092】

図13の装置により外囲器88の内部を排気し、フォーミングを行う。この際、例えば図14に示すように、列方向配線73を共通電極141に接続し、行方向配線72の内の一に接続された素子に電源142によって、同時に電圧パルスを加えて、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数の行方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の行方向配線に接続された素子をまとめてフォーミングすることも可能である。図中143は電流測定用抵抗を、144は、電流測定用のオシロスコープを示す。

【 0 0 9 3 】

フォーミング終了後、活性化工程を行う。外囲器 8 8 内は、十分に排気した後有機物質がガス導入ライン 1 3 8 から導入される。あるいは、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加することにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がドラスティックに上昇するのは、個別素子の場合と同様である。このときの電圧の印加方法は、上記フォーミングの場合と同様の結線により、一つの行方向配線につながった素子に、同時の電圧パルスを印加すればよい。また、複数の行方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の行方向配線に接続された素子をまとめて活性化する事も可能であり、その場合には、各行方向配線に対して、素子電流を制御するように活性化処理を行う事により、行方向配線間の素子電流を揃える事が可能となる。活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器 8 8 を加熱して、8 0 ~ 2 5 0 ℃ に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置 1 3 5 により排気管 1 3 2 を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器 8 8 の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器 8 8 の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器 8 8 内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常は B a 等が主成分であり、該蒸着膜の吸着作用により、外囲器 8 8 内の雰囲気を維持するものである。

【 0 0 9 4 】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、N T S C 方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図 1 2 を用いて説明する。図 1 2 において、1 0 1 は画像表示パネル、1

02は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、 V_x および V_a は直流電圧源である。

【0095】

表示パネル101は、端子 D_{ox1} 乃至 D_{oxm} 、端子 D_{oy1} 乃至 $D_{oy n}$ 、及び高圧端子 H_v を介して外部の電気回路と接続している。端子 D_{ox1} 乃至 D_{oxm} には、表示パネル内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された電子放出素子群を一行(N素子)ずつ順次駆動する為の走査信号が印加される。

【0096】

端子 D_{y1} 乃至 $D_{y n}$ には、前記走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子 H_v には、直流電圧源 V_a より、例えば10kVの直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0097】

走査回路102について説明する。同回路は、内部にM個のスイッチング素子を備えたもので(図中、 S_1 乃至 S_m で模式的に示している)ある。各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは0V(グランドレベル)のいずれか一方を選択し、表示パネル101の端子 D_{x1} 乃至 D_{xm} と電氣的に接続される。 S_1 乃至 S_m の各スイッチング素子は、制御回路103が出力する制御信号 T_{scan} に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0098】

直流電圧源 V_x は、本例の場合には電子放出素子の特性(電子放出しきい値電圧)に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0099】

制御回路103は、外部より入力する画像信号に基づいて適切な表示が行なわ

れるように各部の動作を整合させる機能を有する。制御回路 103 は、同期信号分離回路 106 より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} および T_{sft} および T_{mry} の各制御信号を発生する。

【0100】

同期信号分離回路 106 は、外部から入力される NTSC 方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路である。同期信号分離回路 106 により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 T_{sync} 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 DATA 信号と表した。該 DATA 信号はシフトレジスタ 104 に入力される。

【0101】

シフトレジスタ 104 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 103 より送られる制御信号 T_{sft} に基づいて動作する（即ち、制御信号 T_{sft} は、シフトレジスタ 104 のシフトクロックであるということもできる）。シリアル／パラレル変換された画像 1 ライン分（電子放出素子 N 素子分の駆動データに相当）のデータは、 I_{d1} 乃至 I_{dn} の N 個の並列信号として前記シフトレジスタ 104 より出力される。

【0102】

ラインメモリ 105 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 103 より送られる制御信号 T_{mry} に従って適宜 I_{d1} 乃至 I_{dn} の内容を記憶する。記憶された内容は、 I'_{d1} 乃至 I'_{dn} として出力され、変調信号発生器 107 に入力される。

【0103】

変調信号発生器 107 は、画像データ I'_{d1} 乃至 I'_{dn} の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D_{oy1} 乃至 D_{oyN} を通じて表示パネル 101 内の表面伝導型電子放出素子に印加される。

【0104】

ここで、前述した表面伝導型電子放出素子は放出電流 I_e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V_{th} があり、 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 107 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0105】

パルス幅変調方式を実施するに際しては、変調信号発生器 107 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0106】

シフトレジスタ 104 やラインメモリ 105 は、デジタル信号式のものをアナログ信号式のものを採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0107】

デジタル信号式を用いる場合には、同期信号分離回路 106 の出力信号 DATA をデジタル信号化する必要があるが、これには 106 の出力部に A/D 変換器を設ければ良い。これに関連してラインメモリ 105 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 107 に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 107 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加

する。パルス幅変調方式の場合、変調信号発生器 107 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0108】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 107 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0109】

このような構成をとり得る本発明を適用可能な画像表示装置においては、各電子放出素子に、容器外端子 $D \times 1$ 乃至 $D \times m$ 、 $D \times y 1$ 乃至 $D \times y n$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 Hv を介してメタルバック 85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜 84 に衝突し、発光が生じて画像が形成される。

【0110】

次に、上述した電子源形成用基板を用いて形成された電子源の更に別の実施形態として、上述した図 1 または図 2 で示される電子源形成用基板上に複数の電子放出素子がはしご型配置された電子源及びかかる電子源を用いた画像形成装置について図 15 及び図 16 を用いて説明する。

【0111】

図 15 は、はしご型配置の電子源の一例を示す模式図である。図 15 において、110 は前記第 1 の層と第 2 の層が予め形成された基板、111 は表面伝導型電子放出素子である。112、 $D \times 1$ 乃至 $D \times 10$ は、表面伝導型電子放出素子 111 を接続するための共通配線である。表面伝導型電子放出素子 111 は、基板 110 上に、X 方向に並列に複数個配されている（これを素子行と呼ぶ）。こ

の素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 $D \times 2$ 乃至 $D \times 9$ は、例えば $D \times 2$ 、 $D \times 3$ を同一配線とすることもできる。

【0112】

図16は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため空孔、122は $D \times 1$ 、 $D \times 2$ 、 \dots 、 $D \times m$ よりなる容器外端子である。123は、グリッド電極120と接続された $G1$ 、 $G2$ 、 \dots 、 Gn からなる容器外端子、124は各素子行間の共通配線を同一配線とした電子源基板である。図16においては、図10、図15に示した部位と同じ部位には、これらの図に付したのと同じの符号を付している。ここに示した画像形成装置と、図10に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0113】

図16においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、電子放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッドの形状や設置位置は図16に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを電子放出素子の周囲や近傍に設けることもできる。

【0114】

容器外端子122およびグリッド容器外端子123は、不図示の制御回路と電氣的に接続されている。

【0115】

ここで述べた2種類の画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL, SECAM方式など他、これよりも、多数の走査線からなるTV信号（例えば、高品位TV）方式をも採用できる。

【0116】

本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0117】

【実施例】

以下、具体的な実施例を挙げて本発明を詳しく説明するが、本発明はこれら実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0118】

（実施例1、参考例1、2）

本実施例では、図3の（a）、（b）に示す電子源を、図7の（a）～（d）に示す製造工程に従って作成した。尚、本実施例、及び、後述する参考例とも、同一基板上にそれぞれ6素子ずつ作成して、電子放出特性の再現性についても検討した。

【0119】

1) まず、図1に示した電子源形成用基板を作成する。

【0120】

青板ガラス（ SiO_2 : 74%, Na_2O : 12%, CaO : 9%, K_2O : 3%, MgO : 2%）を良く洗浄し、CVD法により第1の層6を形成した。この第1の層6の材料はPSG（Phosphosilicate Glass（リンケイ酸ガラス））

と呼ばれるリンドーブシリカガラスであり、常圧CVD法により、Pの濃度が7重量%となるように形成した。尚、使用したソースはTEOS（テトラエトキシシリカ（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ））とTMOP（トリメトキシリン酸（ $\text{PO}(\text{OCH}_3)_3$ ））である。また、この時の第1の層6の厚さは約3 μm である。

【0 1 2 1】

続いてスパッタリング法により、 SiO_2 を主成分とし、 SnO_2 を含む第2の層7を形成した（図7（a））。この時の第2の層の厚さは約100nmである。

【0 1 2 2】

尚、参考例 1 として、上記第 1 の層 6 及び上記第 2 の層 7 のいずれも形成していない青板ガラス基板を、また、参考例 2 として、上記第 1 の層 6 のみを形成した青板ガラス基板を、それぞれ用意した。

【0 1 2 3】

2) 次に、以上の各電子源形成用基板上に表面伝導型電子放出素子を6素子ずつ形成する。まず、素子電極2, 3を形成する。

【0 1 2 4】

上述の各電子源形成用基板上にフォトレジスト層を形成し、フォトリソグラフィ技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti 5 nm, Pt 100 nmを成膜し、有機溶剤で上記フォトレジスト層を溶融除去し、リフトオフにより、素子電極2, 3を形成した(図7(b))。この時、図3の(a)にて示される、素子電極間隔Lは20 μ m、電極長さWは600 μ mとした。この後、各基板表面のシート抵抗値を測定したところ、本実施例ではおよそ $2 \times 10^9 \Omega/\square$ であった。また、参考例2では、 $10^{10} \Omega/\square$ を超えるものであった。

【 0 1 2 5 】

3) 次に、導電性膜4を形成する。まず、導電性膜のパターニングのためのマスクを形成するため、真空蒸着法により、膜厚50nmのCr膜を堆積し、フォトリソグラフィ技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピナーにより回転塗布、乾燥さ

せた後、大気中で350℃で10分間の加熱焼成処理を行い、PdOを主成分とする微粒子から成る導電性膜を形成、この後ウェットエッチングによりCrを除去して、リフトオフにより所望の形状の導電性薄膜4を得た(図7(c))。

【0126】

この後、上記各基板を図17に模式的に示した真空処理装置に設置した。

【0127】

4) 真空容器55内の圧力を 1.3×10^{-4} Pa程度とした後、電源51により素子電極2, 3間にパルス電圧を繰り返し印加するフォーミング処理を行った。尚、フォーミング処理には図8(b)に示す、波高値の漸増するパルスを用い、 $T1 = 1 \text{ msec}$, $T2 = 10 \text{ msec}$ とした。尚、上記のパルス間にパルス幅1ms, 波高値0.1Vの矩形波パルスを挿入し、これにより素子電極2, 3間に流れる素子電流Ifを電流計50を用いて測定する事により、素子電極間の抵抗値を検知した。検知される抵抗値が1MΩを超えた時点で、パルス電圧の印加を終了した。この処理により、導電性薄膜4に間隙5が形成された(図7(d))。

【0128】

5) 続いて活性化処理を施した。活性化工程は、真空容器55内にアセトンの蒸気を導入、圧力を 2.7×10^{-1} Paとし、電源51により素子電極2, 3間に波高値18Vの矩形波パルスを印加して行った。この処理により電流計50により検知される素子電流Ifの時間的な変化を測定したところ、本実施例、参考例1, 2共に徐々に増加するもののその度合いには違いがあり、本実施例では約10分、参考例1では約30分、参考例2では約10分で素子電流Ifは飽和した。このことから、参考例1と比べて、本実施例及び参考例2は、活性化の工程に所要する時間が短くてよい事がわかる。この事は、本実施例及び参考例2において設けられている第1の層6により、青板ガラス1からのNaによる活性化の阻害が抑制されたためであると推測される。

【0129】

6) 続いて、安定化工程を行った。真空容器55全体を、不図示のヒーターにより約200℃に加熱して排気し、10時間後に、真空容器55内の圧力が $8 \times$

10⁻⁶Paとなった時点で真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した。素子電極2, 3間には、波高値18V、パルス幅1msec、パルス間隔10msecの矩形波パルスを印加、アノード電極54の電位は1kV、電子放出素子とアノード電極の間隔Hは4mmとした。本実施例、参考例1, 2の各6素子に関して10分間駆動したところ、10分後の素子電流I_f及び放出電流I_eの測定値は、以下の通りであった。

【0130】

【表1】

表1

	素子電流 I _f (mA)	放出電流 I _e (μA)
実施例1	2.7~3.1	4.7~5.0
参考例1	1.2~1.9	2.0~3.4
参考例2	2.6~3.1	4.5~4.9

更に、50時間の耐久評価を行った。この時の測定条件は、素子電極2, 3間に印加される電圧が波高値17V、パルス幅1msec、パルス間隔10msecの矩形波パルスであり、アノード電極54の電位は2kV、電子放出素子とアノード電極の間隔Hは4mmである。なお、素子電流I_fと放出電流I_eは、30秒ごとに測定した。評価項目は、素子電流I_fについて、{(最大値-最小値)/平均値}×100(%)で定義される素子電流化率と、放出電流I_eについて{(最大値-最小値)/平均値}×100(%)で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0131】

【表2】

表2

	素子電流変化率 (%)	放出電流変化率 (%)
実施例1	1.5~2.0	1.6~2.2
参考例1	25~33	28~35
参考例2	1.6~2.9	5.5~8.0

表1、表2、及び上述の活性化時の特性より、本実施例は、以下の特徴を満足するものである事が示された。

【0132】

1. 参考例1と比べて、活性化に要する時間を短縮可能である。

【0133】

2. 参考例1と比べて、素子電流 I_f 、放出電流 I_e が大きく、また、再現性もよい。

【0134】

3. 参考例1と比べて、素子電流変化率、放出電流変化率が小さく、安定性に優れている。

【0135】

4. 参考例2と比べて、放出電流変化率が小さく、安定性に優れている。

【0136】

(実施例2乃至4)

次に、実施例1と同様に、図3の(a)、(b)に示す表面伝導型電子放出素子を用いた電子源を、図7の(a)～(d)に示す製造工程に従って作成した。各実施例とも、同一基板上に6素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例2乃至4の電子源形成用基板は、第1の層6を常圧CVD法で形成する点は実施例1と同じであるが、第1の層6の材料が異なり、実施例2は SiO_2 を主成分としてBを含むいわゆるBSGであり、Bの濃度が約4重量%である。また、実施例3は SiO_2 を主成分としてBとPの両方を含むいわゆるBPSGであり、Bの濃度が約2.5重量%、Pの濃度が約7重量%である。また、実施例4は SiO_2 を主成分としてGeとPの両方を含むいわゆるGPSGであり、Geの濃度が約4重量%、Pの濃度が約7.5重量%である。尚、実施例2乃至4の第一の層6の厚さは全て約 $3\mu m$ である。

【0137】

第2の層7は実施例1と同様にスパッタリング法により、 SiO_2 を主成分とし、 SnO_2 を含む約100nmの厚さの膜で構成されている。

【0138】

実施例 1 と同様に、素子電極を形成後、各基板表面のシート抵抗を測定したところ、実施例 2 乃至 4 の全てが $1 \times 10^9 \sim 3 \times 10^9 \Omega/\square$ であった。

【0139】

まず、活性化に要した時間であるが、実施例 2 乃至 4 の全てで約 10 分で素子電流 I_f が飽和し、実施例 1 と酷似するものであった。

【0140】

次に、電子放出素子の電子放出特性を測定した。素子電極 2, 3 間には、波高値 18 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスを印加、アノード電極 54 の電位は 1 kV、電子放出素子とアノード電極の間隔 H は 4 mm とした。実施例 2 乃至 4 の各 6 素子に関して 10 分間駆動したところ、10 分後の素子電流 I_f 及び放出電流 I_e の測定値は、以下の通りであった。

【0141】

【表 3】

表 3

	素子電流 I_f (mA)	放出電流 I_e (μA)
実施例 2	2.6~3.2	4.5~5.0
実施例 3	2.7~3.2	4.4~4.8
実施例 4	2.8~3.4	4.6~5.2

更に、50 時間の耐久評価を行った。この時の測定条件は、素子電極 2, 3 間への印加電圧が波高値 17 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスであり、アノード電極 54 の電位は 2 kV、電子放出素子とアノード電極の間隔 H は 4 mm である。なお、素子電流 I_f と放出電流 I_e は、30 秒ごとに測定した。評価項目は、素子電流 I_f について、 $\{(\text{最大値} - \text{最小値}) / \text{平均値}\} \times 100 (\%)$ で定義される素子電流変化率と、放出電流 I_e について $\{(\text{最大値} - \text{最小値}) / \text{平均値}\} \times 100 (\%)$ で定義される放出電流変化率の 2 項目である。結果は以下の通りである。

【0142】

【表 4】

表 4

	素子電流変化率 (%)	放出電流変化率 (%)
実施例 2	1.7~2.1	1.7~2.3
実施例 3	1.5~2.1	1.5~2.3
実施例 4	1.6~2.2	1.7~2.4

これらの結果からわかるように、実施例 1 と同様に、本実施例 2 ~ 4 の電子源はいずれも、活性化に要する時間が短く、更には、放出電流が大きいとともに素子電流変化率及び放出電流変化率も小さく、安定性に優れている。

【0 1 4 3】

(実施例 5 乃至 8)

次に、実施例 1 と同様に、図 3 の (a), (b) に示す表面伝導型電子放出素子を用いた電子源を、図 7 の (a) ~ (d) に示す製造工程に従って作成した。各実施例とも、同一基板上に 6 素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例 5 乃至 8 はいずれも、第 1 の層 6 が常圧 CVD 法により形成された、P の濃度が約 7 重量%である厚さが約 $3 \mu\text{m}$ の PSG である点では同じであるが、第 2 の層の材料及び形成方法が異なる。

【0 1 4 4】

実施例 5 は、第 2 の層の材料として、 SiO_2 を主体とし、In を含むものであり、厚さは約 50 nm で、CVD 法で形成した。尚、In ソースとしては、 $\text{In}(\text{C}_2\text{H}_5)_3$ を使用した。

【0 1 4 5】

実施例 6 は、第 2 の層の材料として、 SiO_2 を主体とし、Sn を含むものであり、厚さは約 50 nm で、CVD 法で形成した。尚、Sn ソースとしては、 $(\text{CH}_3)_4\text{Sn}$ を使用した。

【0 1 4 6】

実施例 7 は、第 2 の層の材料として、 SiO_2 を主体とし、Sb を含むものであり、厚さは約 100 nm で、スパッタリング法で形成した。

【0 1 4 7】

実施例 8 は、第 2 の層の材料として、 SiO_2 を主体とし、 Re を含むものであり、厚さは約 100 nm で、スパッタリング法で形成した。

【0 1 4 8】

まず、各実施例の上記電子源形成用基板に素子電極を形成した段階で、基板表面のシート抵抗値の測定を行った。以下にその結果を示す。

【0 1 4 9】

【表 5】

表 5

	シート抵抗値 (Ω/\square)
実施例 5	3×10^9
実施例 6	8×10^8
実施例 7	2×10^9
実施例 8	6×10^8

表 5 から、実施例 5 乃至 8 の全てのシート抵抗値が $10^8 \sim 10^{10} \Omega/\square$ であることがわかる。

【0 1 5 0】

次に、活性化に要した時間であるが、実施例 5 乃至 8 の全てで約 $10 \sim 15$ 分で素子電流 I_f が飽和し、先述した参考例 1 と比べて短いものであった。また、素子電流 I_f は概ね実施例 1 と同様の時間変化を示すものであった。

【0 1 5 1】

次に、電子放出素子の電子放出特性を測定した。素子電極 2, 3 間には、波高値 18 V 、パルス幅 1 msec 、パルス間隔 10 msec の矩形波パルスを印加、アノード電極 5 4 の電位は 1 kV 、電子放出素子とアノード電極の間隔 H は 4 mm とした。実施例 5 乃至 8 の各 6 素子に関して 10 分間駆動したところ、 10 分後の素子電流 I_f 及び放出電流 I_e の測定値は、以下の通りであった。

【0 1 5 2】

【表 6】

表 6

	素子電流 I_f (mA)	放出電流 I_e (μA)
実施例 5	2.5~3.3	4.4~5.0
実施例 6	2.6~3.4	4.7~5.2
実施例 7	2.7~3.3	4.5~5.1
実施例 8	2.6~3.1	4.3~4.9

更に、50時間の耐久評価を行った。この時の測定条件は、素子電極 2, 3 間への印加電圧が波高値 17 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスであり、アノード電極 54 の電位は 1 kV、電子放出素子とアノード電極の間隔は H は 4 mm である。なお、素子電流 I_f と放出電流 I_e は、30 秒ごとに測定した。評価項目は、素子電流 I_f について、 $\{(\text{最大値}-\text{最小値})/\text{平均値}\} \times 100$ (%) で定義される素子電流変化率と、放出電流 I_e について $\{(\text{最大値}-\text{最小値})/\text{平均値}\} \times 100$ (%) で定義される放出電流変化率の 2 項目である。結果は以下の通りである。

【0153】

【表 7】

表 7

	素子電流変化率 (%)	放出電流変化率 (%)
実施例 5	1.9~2.2	2.0~2.5
実施例 6	1.5~2.0	1.7~2.4
実施例 7	1.7~2.1	2.3~2.8
実施例 8	1.7~2.2	2.1~2.6

これらの結果からわかるように、実施例 1 と同様に、本実施例 5~8 の電子源はいずれも、活性化に要する時間が短く、更には、放出電流が大きいとともに素子電流変化率及び放出電流変化率も小さく、安定性に優れている。

【0154】

(実施例 9)

本実施例として、図 4 の (a), (b) に示す表面伝導型電子放出素子を用い

た電子源を、作成した。尚、表面伝導型電子放出素子は以下の基板上に6素子作成して、電子放出特性の再現性についても検討した。

【0155】

1) まず、図2に示した電子源形成用基板を作成する。

【0156】

高歪み点ガラス (SiO_2 : 58%, Na_2O : 4%, K_2O : 7%, を含む) を良く洗浄し、リンをドーブして抵抗調整した SnO_2 微粒子と有機珪素化合物の混合溶液をスピコートして乾燥させた。さらに、有機珪素化合物のみの溶液をスピコートした後、オーブンで 500°C 、30min の焼成を行なった。この結果、高歪み点ガラス基板上に、リンをドーブして抵抗調整した SnO_2 微粒子と SiO_2 が重量比 80 : 20 の第2の層が厚さ 300nm で形成され、さらにその上層として、 SiO_2 からなる第1の層が厚さ 60nm で形成された。

【0157】

2) 次に、上記電子源形成用基板上に、図7の (b) ~ (d) にて示されるようにして表面伝導型電子放出素子を6素子形成する。まず、素子電極2, 3を形成する。

【0158】

上述の基板上にフォトレジスト層を形成し、フォトリソグラフィ技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti 5nm, Pt 100nm を成膜し、有機溶剤で上記フォトレジスト層を溶融除去し、リフトオフにより、素子電極2, 3を形成した (図7の (b))。この時、図4の (a) に示される、素子電極間隔 L は $20\mu\text{m}$ 、電極長さ W は $600\mu\text{m}$ とした。この後、基板表面のシート抵抗値を測定したところ、おおよそ $2 \times 10^{12} \Omega/\square$ であった。

【0159】

3) 次に、導電性膜4を形成する。まず、導電性膜のパターニングのためのマスクを形成するため、真空蒸着法により、膜厚 50nm の Cr 膜を堆積し、フォトリソグラフィ技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピナーにより回転塗布、乾燥さ

せた後、大気中で350℃で10分間の加熱焼成処理を行い、PdOを主成分とする微粒子から成る導電性膜を形成、この後ウェットエッチングによりCrを除去して、リフトオフにより所望の形状の導電性薄膜4を得た(図7の(c))。

【0160】

この後、上記基板を図4に模式的に示した真空処理装置に設置した。

【0161】

4) 真空容器55内の圧力を 1.3×10^{-4} Pa程度とした後、電源51により素子電極2, 3間にパルス電圧を繰り返し印加するフォーミング処理を行った。尚、フォーミング処理には図8の(b)に示す、波高値の漸増するパルスを用い、 $T1 = 1 \text{ msec}$, $T2 = 10 \text{ msec}$ とした。尚、上記のパルス間にパルス幅1 ms, 波高値0.1 Vの矩形波パルスを挿入し、これにより素子電極2, 3間に流れる素子電流Ifを電流計50を用いて測定する事により、素子電極間の抵抗値を検知した。検知される抵抗値が1 MΩを超えた時点で、パルス電圧の印加を終了した。この処理により、導電性薄膜4に間隙5が形成された(図7の(d))。

【0162】

5) 続いて活性化処理を施した。活性化工程は、真空容器55内にアセトンの蒸気を導入、圧力を 2.7×10^{-1} Paとし、電源51により素子電極2, 3間に波高値18 Vの矩形波パルスを印加して行った。この処理により電流計50により検知される素子電流Ifの時間的な変化を測定したところ、約10分、で飽和した。

【0163】

6) 続いて、安定化工程を行った。真空容器55全体を、不図示のヒーターにより約200℃に加熱して排気し、10時間後に真空容器55内の圧力が 8×10^{-6} Paとなった時点で真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した。素子電極2, 3間には、波高値18 V、パルス幅1 msec、パルス間隔10 msecの矩形波パルスを印加、アノード電極54の電位は1 kV、電子放出素子とアノード電極の間隔Hは4 mmとした。本実施例の6素子に関して10分間駆動したところ、10分

後の素子電流 I_f は 2.5 ~ 3.1 mA、放出電流 I_e の測定値は 4.5 ~ 5.1 μ A であった。

【0164】

更に、50 時間の耐久評価を行った。この時の測定条件は、素子電極 2, 3 間に印加される電圧が波高値 17 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスであり、アノード電極 54 の電位は 2 kV、電子放出素子とアノード電極の間隔 H は 4 mm である。なお、素子電流 I_f と放出電流 I_e は、30 秒ごとに測定した。評価項目は、素子電流 I_f について、 $\{(\text{最大値} - \text{最小値}) / \text{平均値}\} \times 100 (\%)$ で定義される素子電流化率と、放出電流 I_e について $\{(\text{最大値} - \text{最小値}) / \text{平均値}\} \times 100 (\%)$ で定義される放出電流変化率の 2 項目で、それぞれ、1.3 ~ 1.8%、1.4 ~ 1.9% であった。

【0165】

以上の特性より、本実施例は、活性化に要する時間が短く、素子電流 I_f 、放出電流 I_e が大きく、また、再現性、安定性に優れていた。

【0166】

(実施例 10)

本実施例においては、図 1 にて示された電子源形成用基板上に、図 3 の (a) 及び (b) に示すのと同様の構成の表面伝導型電子放出素子の複数を、図 18 に模式的に示すように配置し、さらにマトリクス状配線を配置した電子源を、以下に示す手順により作成した。尚、図では、構造をわかりやすくするために部材の一部を消去してある。図 19 の (a) ~ (e) を参照しながら、製造方法を説明する。

【0167】

[工程 1]

実施例 1 と同様の組成の青板ガラスを洗剤と純水により洗浄した後、CVD 法により第 1 の層を形成した。この第 1 の層の材料は PSG であり、CVD 法により、P の濃度が 7 重量% となるように形成した。尚、この際使用したソースガスは TEOS と TMOP である。また、第 1 の層の厚さは約 3 μ m になるように形成した。

【0168】

〔工程2〕

工程1に連続して、PのソースであるTMOPの供給を停止し、Snソースである $(\text{CH}_3)_4\text{Sn}$ を追加導入し、第2の層を形成した。この時の第2の層の厚さは、約50nmである。この工程においては SiO_2 と SnO_2 の混合層が形成される。

【0169】

〔工程3〕

以上の工程1及び2にて作成された図1に示された電子源形成用基板71上に、図3の(a)，(b)にて示された表面伝導型電子放出素子の一对の素子電極2，3を形成する。

【0170】

まず、上記基板71上にスクリーン印刷法により、素子電極2，3の形状のMODペースト(DU-2110；ノリタケ(株)製)のパターンを形成した。該MODペーストは金属成分として、金を含むものである。

【0171】

印刷後、110℃で20分乾燥し、次いで熱処理装置によりピーク温度580℃ピーク保持時間8分間の条件で上記MODペーストを焼成し、厚さ0.3μmの素子電極2，3を形成した。素子電極間隔は70μmとした(図19の(a))。

【0172】

〔工程4〕

次いで、金属成分として銀を含むペースト材料(NP-4028A；ノリタケ(株)製)を用い、スクリーン印刷法により下配線73のパターンを形成し、工程3と同様の条件で焼成して下配線(列方向配線)73を形成した(図19の(b))。

【0173】

〔工程5〕

次に、PbOを主成分とするペーストを用い、層間絶縁層74のパターンを印

刷して工程 3 と同様の条件で焼成し、層間絶縁層 74 を形成した（図 19 の（c））。該層間絶縁層は素子電極 2, 3 の一方と、後の工程で形成する上配線（行方向配線）とが接続されるよう、切り欠き部分を有している。

【0174】

〔工程 6〕

工程 4 と同様の方法で、上配線（行方向配線）72 を形成し（図 19 の（d））、複数の下配線（列方向配線）73 及び複数の上配線（行方向配線）72 からなるマトリクス配線を形成した。本工程を終了後、基板 71 表面のシート抵抗値の測定を行ったところ、場所によって若干異なるが $2 \times 10^9 \sim 5 \times 10^9 \Omega/\square$ 程度であった。

【0175】

〔工程 7〕

次いで、上記各一对の素子電極 2, 3 間に、導電性薄膜 4 を形成した。有機パラジウム含有溶液を、バブルジェット方式のインクジェット噴射装置を用いて、幅が $200 \mu\text{m}$ となるように付与して行った。その後 350°C で 10 分間の加熱処理を行って、酸化パラジウム微粒子から成る導電性膜 4 を得た（図 19 の（e））。

【0176】

〔工程 8〕

図 10 のように、上記工程 1 乃至 7 で製造した基板 71 とリアプレート 81、フェースプレート 86（ガラス基板 83 の内面に蛍光膜 84、メタルバック 85 が形成されている）、支持枠 82 を組み合わせて接合した。尚、外囲器内に不図示であるが高周波加熱用ゲッタが配置されており、同じく不図示であるが外囲器内の雰囲気を制御するための排気管が外囲器内に取り付けられている。接合は、接合部にフリットガラスを塗布し、大気中で 450°C 10 分間の加熱処理を行う事により行った。

【0177】

本実施例で用いた蛍光膜 84 は、図 11 の（a）に模式的に示すような、蛍光体 92 をストライプ形状に配置したもので、まず黒色部材 91 よりなるブラック

ストライプを形成し、その間に 3 原色に対応する蛍光体 9 2 を形成したものである。黒色部材の材質は通常良く用いられる黒鉛を主成分とするものであり、蛍光体の塗布はスラリー法を用いた。

【0 1 7 8】

蛍光膜上にはメタルバック 8 5 を設ける。本実施例では、蛍光膜表面を平滑化处理（通常フィルミングと呼ばれる）した後、A 1 を真空蒸着する事により形成した。なお、導電性を向上させるため、蛍光膜 8 4 とガラス基板 8 3 の間に透明電極を設ける場合もあるが、本実施例では上記構成により充分導電性が得られたので、透明電極は設けていない。

【0 1 7 9】

上記の接合を行う際、蛍光体と電子源の電子放出素子の位置を厳密に対応させる必要があるため、注意深く位置あわせを行った。

【0 1 8 0】

〔工程 9〕

上記工程において、フェースプレート 8 6、リアプレート 8 1 と支持枠 8 2 により構成された外囲器 8 8 の内部を排気管（不図示）を通じて排気装置（主ポンプとして油拡散ポンプを使用）により排気し、圧力を $1.3 \times 10^{-3} \text{ Pa}$ 以下にまで下げた後、行方向配線 7 2 及び列方向配線 7 3 を通じて複数の一对の素子電極 2, 3 間に実施例 1 乃至 9 と同様にパルス電圧を印加する事により複数の導電性膜 4 の各々に図 3 の（a）、（b）に示された間隙 5 の形成を行った。この処理は行方向配線の一本に接続された素子の行毎に行い、1 素子あたりの抵抗値が $1 \text{ M}\Omega$ を超えたところで、その行の処理を終了し、次の行に移る。これを繰り返してすべての素子の処理を行った。

【0 1 8 1】

〔工程 1 0〕

続いて、波高値が 20 V の矩形波パルス電圧を各素子行に順次印加する事を繰り返して、活性化処理を行った。排気装置に油拡散ポンプを用いている事により、外囲器内に有機物質が存在し、活性化処理が行われる。次いで、排気装置を主ポンプに磁気浮上型ターボポンプを用いたものに切り替えて、外囲器全体を加熱

しながら排気する事により、安定化処理を行い、高周波加熱法によるゲッタ処理を行った後、排気管を加熱、融着して封じ切った。

【0182】

上記工程を終了後、各素子行に波高値 20 V パルス電圧を 1 分間ずつ印加し、各素子行の電子放出特性を測定した。なお、支持棒高さ 3 mm で、アノード電圧は 1 kV である。その結果、各素子行の電子放出量は 4 % 程度のばらつきで非常に均一なものであった。

【0183】

続いて、全面を白色表示させ、輝度分布を観察したところ、輝度均一性に優れるものである事が確認された。また、輝度分布の時間的な変動を観察したところ、行方向配線に平行な輝度分布の変動は 6 % 程度に収まっており、きわめて良好な結果が得られた。これは電子放出素子が形成されている基板表面のシート抵抗値が制御されているために、電子ビームの変動を効果的に抑制しているためであると思われる。

【0184】

この状態で 10 時間点燈表示させて、定期的に定点で輝度を測定したところ、おおむね 5 % 程度の変化しか生じておらず、きわめて安定した特性を維持する事が出来た。

【0185】

(実施例 11)

本実施例は、実施例 10 における工程 2 を下記の工程 2' に変更した以外は構成、製法とも実施例 10 と同様の手順で製造した。

【0186】

[工程 2']

工程 1 に連続して、In ソースである $\text{In}(\text{C}_2\text{H}_5)_3$ を追加導入し、第 2 の層を形成した。この時の第 2 の層の厚さは、約 50 nm である。この工程においては PSG と In_2O_3 の混合層が形成される。

【0187】

実施例 10 と同様に基板表面のシート抵抗値を測定したところ、 $8 \times 10^8 \sim$

$2 \times 10^9 \Omega/\square$ 程度であった。次に、実施例 10 と同様の評価を行ったところ、概ね実施例 10 と同様の特性を示し、大変好ましい結果が得られた。

【0188】

(実施例 12)

本実施例は、実施例 10 における工程 1 及び 2 を下記の工程 1' に変更した以外は実施例 10 と同様の手順で、図 2 に示された電子源形成用基板に、図 18 に示されるように複数の表面伝導型電子放出素子がマトリクス内線された電子源を製造した。

【0189】

[工程 1']

まず、図 2 に示した電子源形成用基板を作成する。

【0190】

高歪み点ガラス ($\text{SiO}_2 : 58\%$, $\text{Na}_2\text{O} : 4\%$, $\text{K}_2\text{O} : 7\%$, を含む) を良く洗浄し、リンをドーピングして抵抗調整した SnO_2 微粒子と有機珪素化合物の混合溶液をスピンコートして乾燥させた。さらに、有機珪素化合物のみの溶液をスピンコートした後、オーブンで 500°C 、 30min の焼成を行なった。この結果、高歪み点ガラス基板の上に、リンをドーピングして抵抗調整した SnO_2 微粒子と SiO_2 が重量比 $80 : 20$ の第 2 の層が厚さ 300nm で形成され、さらにその上層として、 SiO_2 からなる第 1 の層が厚さ 60nm で形成された。

【0191】

上記電子源形成用基板の上に、実施例 10 の工程 3 以降を同様に施し、図 18 に示されるような電子源、及びこれを用いた図 10 に示されるような画像形成装置を作成した。

【0192】

本実施例の電子源及び画像形成装置もまた、上記実施例 10 及び 11 と同様の効果を得ることができた。

【0193】

【発明の効果】

以上説明したように、本発明により次のような効果が得られる。



【0 1 9 4】

本発明は、電子放出素子の電子放出特性の経時的変化が低減される電子源形成用基板及びその製造方法を提供することができる。

【0 1 9 5】

また、本発明は、電子放出素子の電子放出特性の経時的変化が低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することができる。

【0 1 9 6】

また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減される電子源形成用基板及びその製造方法を提供することができる。

【0 1 9 7】

また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することができる。

【0 1 9 8】

また、本発明は、輝度ばらつきが低減された画像形成装置を提供することができる。

【0 1 9 9】

また、本発明は、輝度の経時的変化が低減された画像形成装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の電子源形成用基板の一例を示す模式的断面図

【図 2】

本発明の電子源形成用基板の別の例を示す模式的断面図

【図 3】

本発明の電子源の一例を示す模式図であり、（a）は平面図、（b）は断面図

【図 4】

本発明の電子源の別の例を示す模式図であり、（a）は平面図、（b）は断面

図

【図 5】

本発明の電子源に適用される表面伝導型電子放出素子の一例を示す模式的部分拡大図であり、（a）は平面図、（b）は断面図

【図 6】

本発明の電子源に適用される表面伝導型電子放出素子の別の例を示す模式的部分拡大図であり、（a）は平面図、（b）は断面図

【図 7】

本発明に関する電子源の製造手順を説明するめたの模式図

【図 8】

本発明に関する電子源の製造に用いるパルス電圧波形の模式図

【図 9】

本発明の電子源の構成を示す模式図

【図 1 0】

本発明の画像形成装置の構成を示す模式図

【図 1 1】

本発明の画像形成装置に用いる蛍光膜の構成を示す模式図

【図 1 2】

駆動回路の一例を示すブロック図

【図 1 3】

画像形成装置の製造に用いる装置の概要を示す模式図

【図 1 4】

本発明の画像形成装置の、フォーミング、活性化工程のための結線方法を示す模式図

【図 1 5】

本発明の電子源の別の構成を示す模式図

【図 1 6】

本発明の画像形成装置の別の構成を示す模式図

【図 1 7】



測定評価機能を備えた真空処理装置の一例を示す模式図

【図 18】

本発明の電子源の更に別の構成を示す模式図

【図 19】

図 14 の構成の電子源の製造手段を説明するための模式図

【符号の説明】

1 基体（の本体）

2, 3 素子電極

4 導電性薄膜

5 電子放出部

6 第一の層

7 第二の層

50 素子電極 2・3 間の導電性薄膜 4 を流れる素子電流 I_f を測定するための電流計

51 電子放出素子に素子電圧 V_f を印加するための電源

52 放出電流 I_e を測定するための電流計

53 アノード電極 54 に電圧を印加するための高圧電源

54 素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極

55 真空装置

56 排気装置

71 基板

72 X方向配線

73 Y方向配線

75 結線

76 電子放出素子

81 リアプレート

82 支持枠

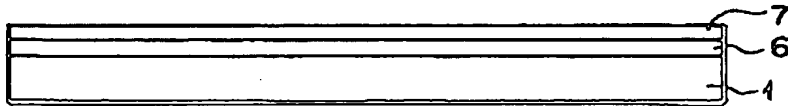
83 （フェースプレートの）ガラス基板

- 8 4 蛍光膜
- 8 5 メタルバック
- 8 6 フェースプレート
- 8 8 外囲器
- 9 1 黒色導電材
- 9 2 蛍光体
- 1 0 1 画像形成装置
- 1 0 2 走査回路
- 1 0 3 制御回路
- 1 0 4 シフトレジスタ
- 1 0 5 ラインメモリ
- 1 0 6 同期信号分離回路
- 1 0 7 変調信号発生回路
- 1 1 0 基板
- 1 1 1 電子放出素子
- 1 1 2 共通配線
- 1 2 0 グリッド電極
- 1 2 1 電子が通過するため空孔
- 1 2 2 共通配線と接続された容器外端子
- 1 2 3 グリッド電極と接続された容器外端子
- 1 3 1 画像表示装置
- 1 3 2 排気管
- 1 3 3 真空チャンバー
- 1 3 4 ゲートバルブ
- 1 3 5 排気装置
- 1 3 6 圧力計
- 1 3 7 四重極質量分析器
- 1 3 8 ガス導入ランイ
- 1 3 9 導入量制御手段

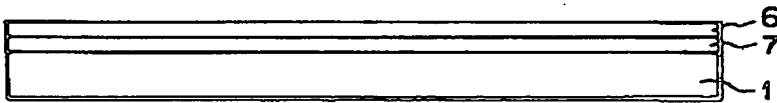
- 1 4 0 導入物質源
- 1 4 1 共通電極
- 1 4 2 電源
- 1 4 3 電流測定用抵抗
- 1 4 4 オシロスコープ

【書類名】 図面

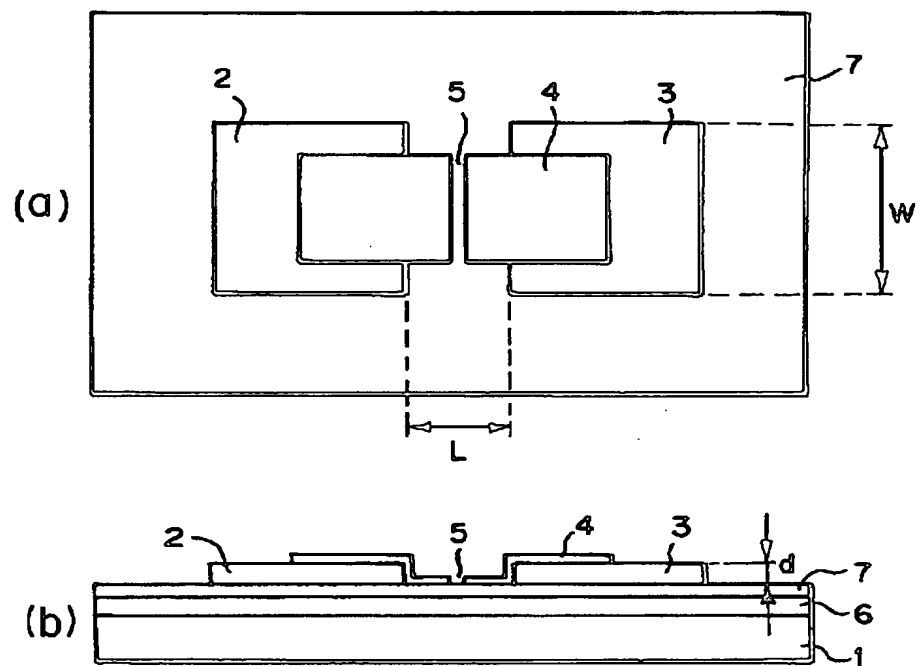
【図 1】



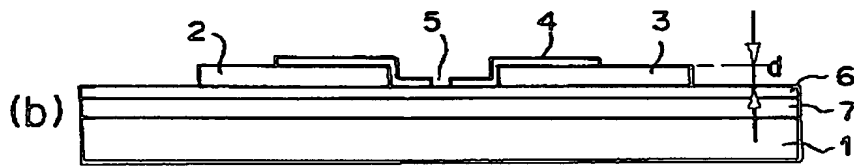
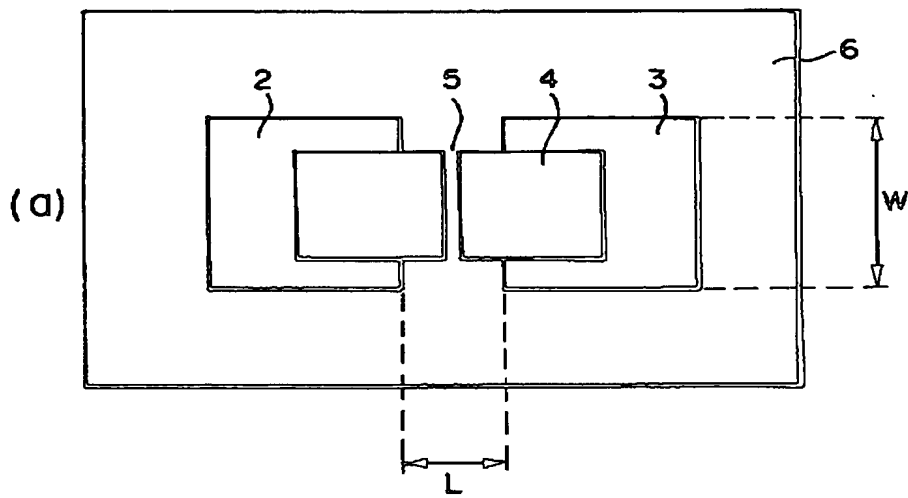
【図 2】



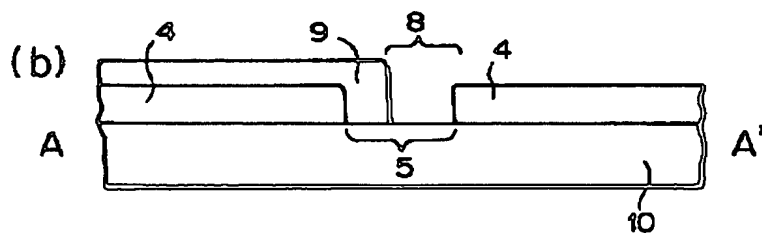
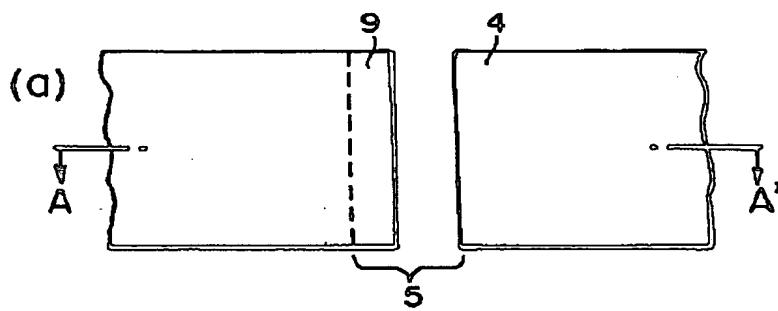
【図 3】



【図 4】

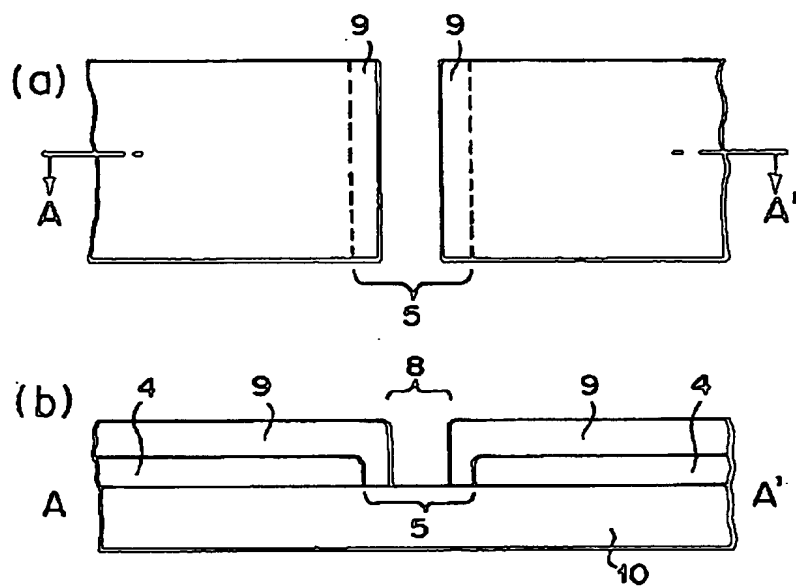


【図 5】

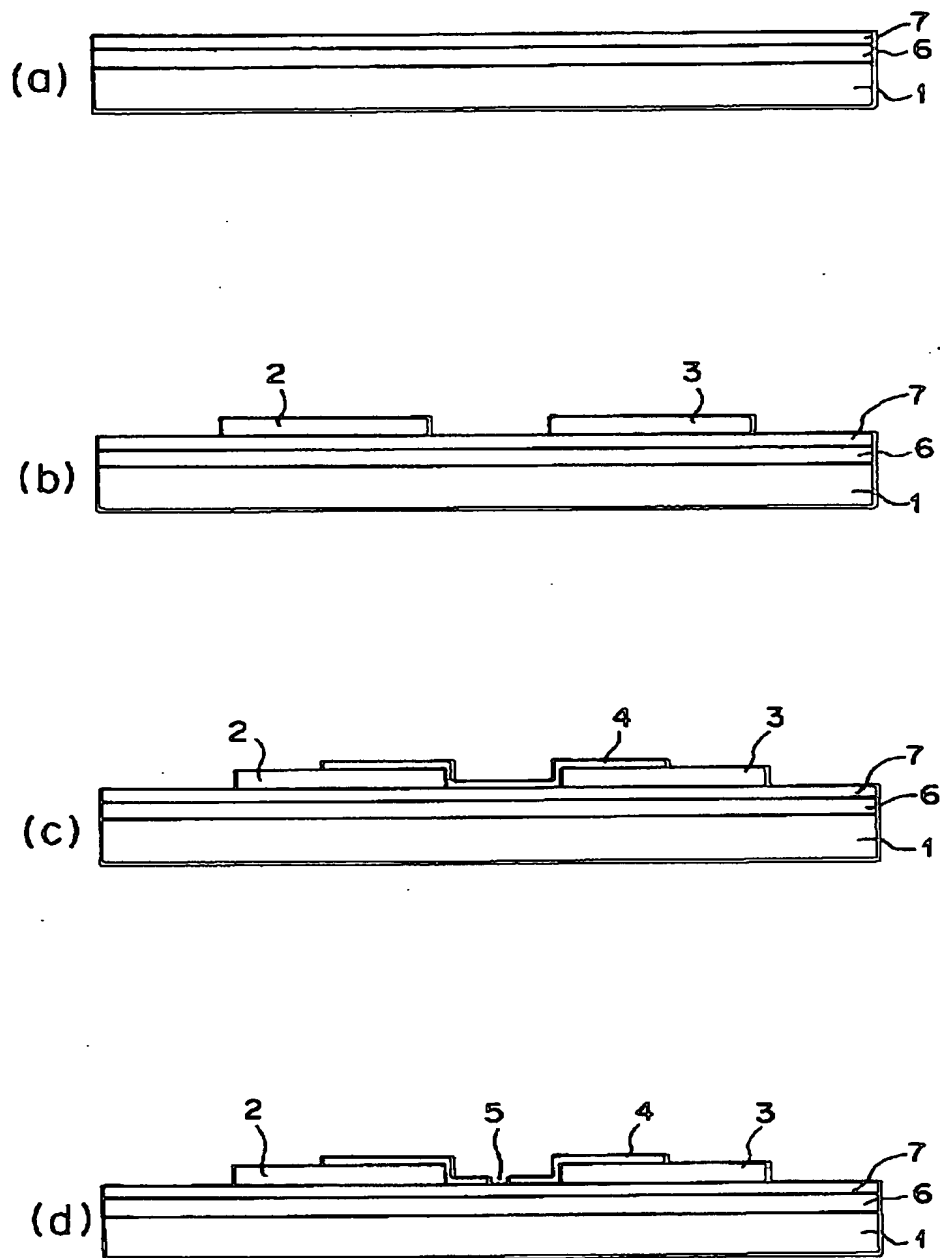




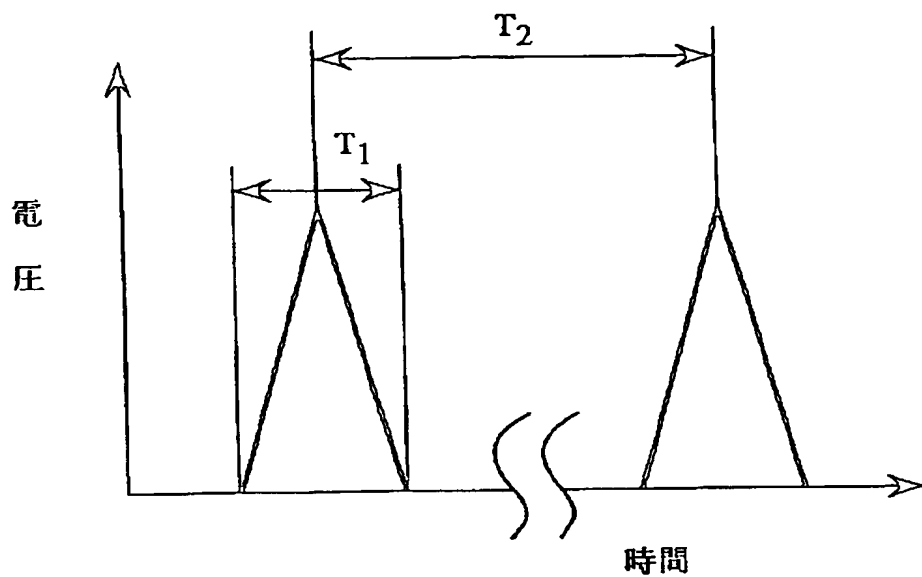
【図 6】



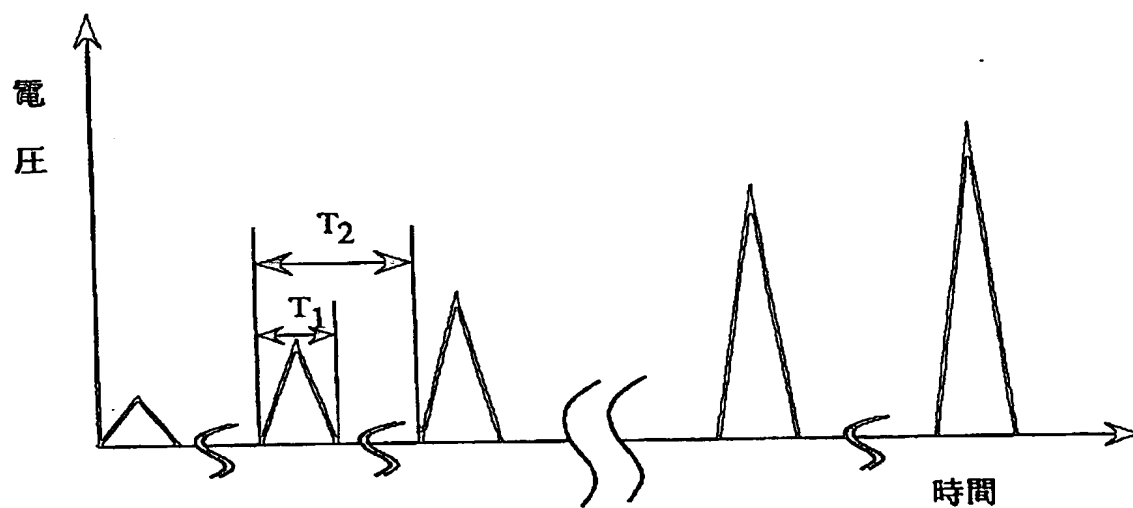
【図 7】



【図 8】

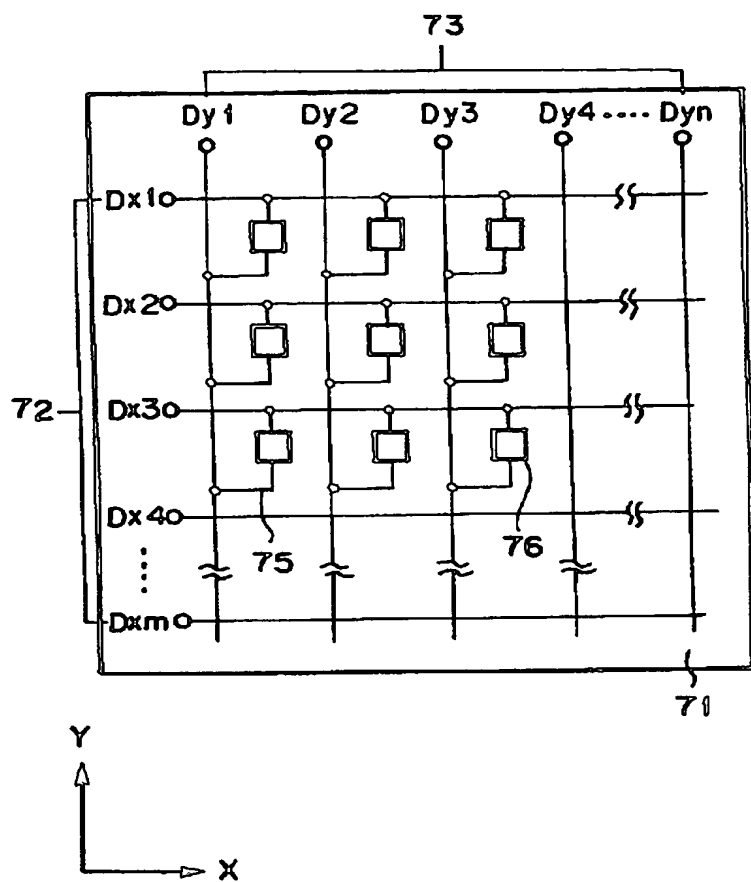


(a)

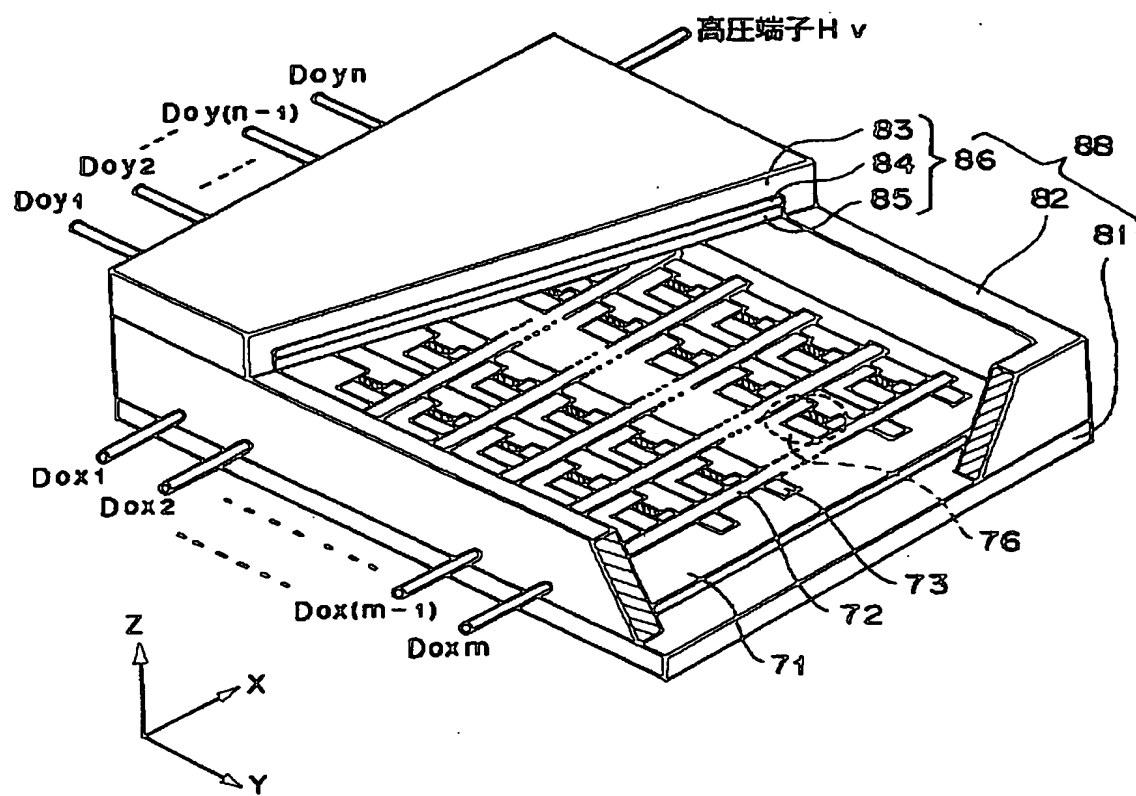


(b)

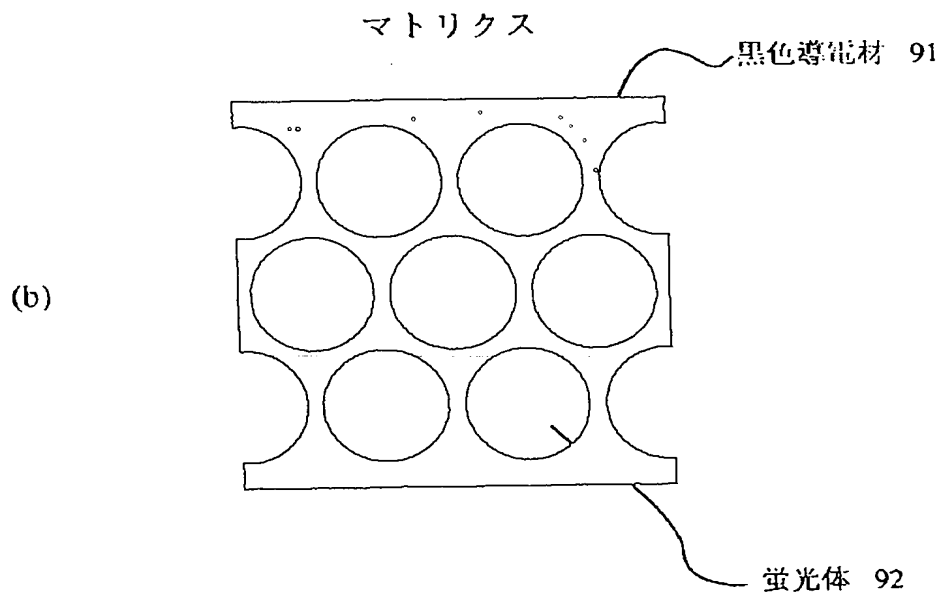
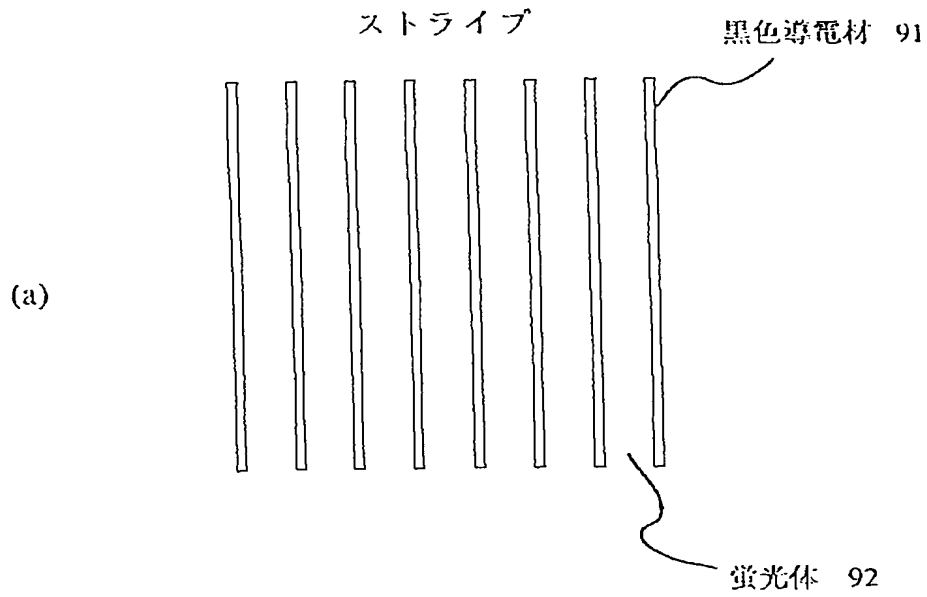
【図 9】



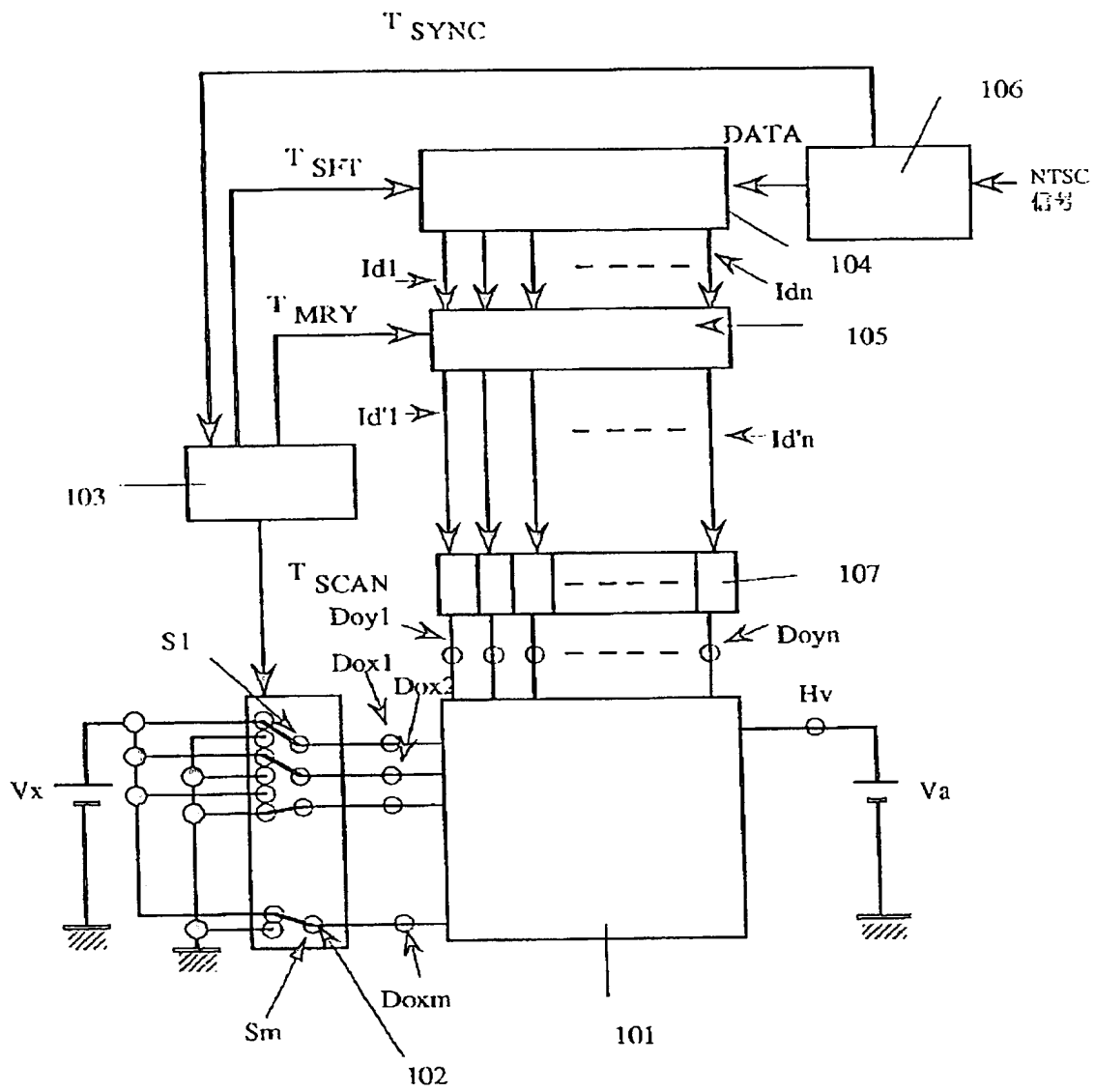
【図 10】



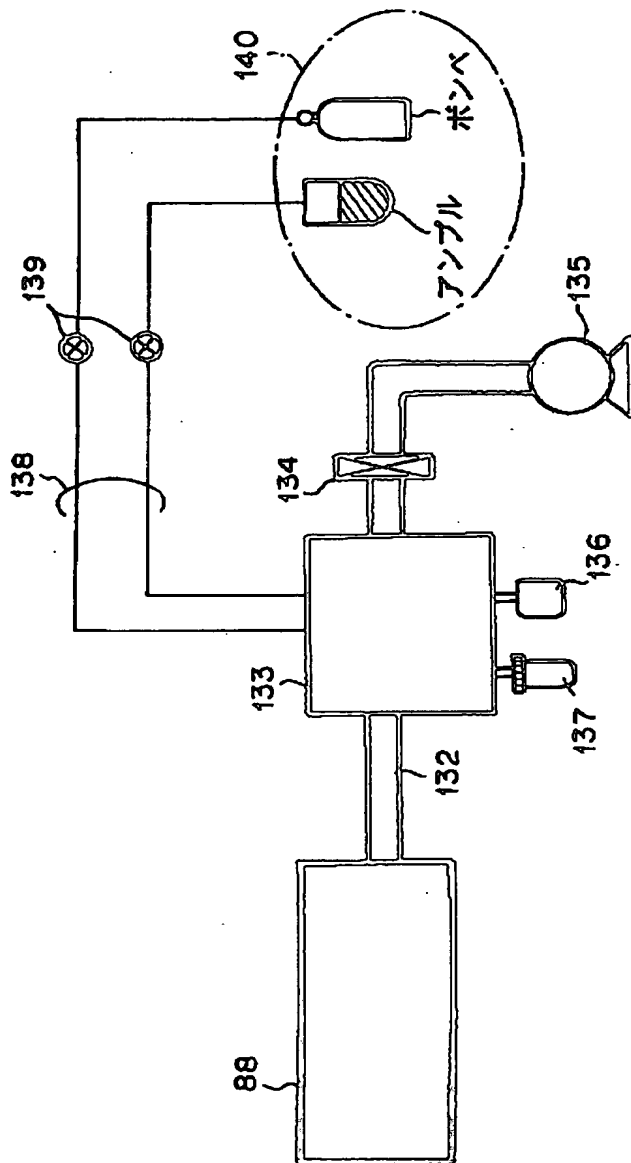
【図 1 1】



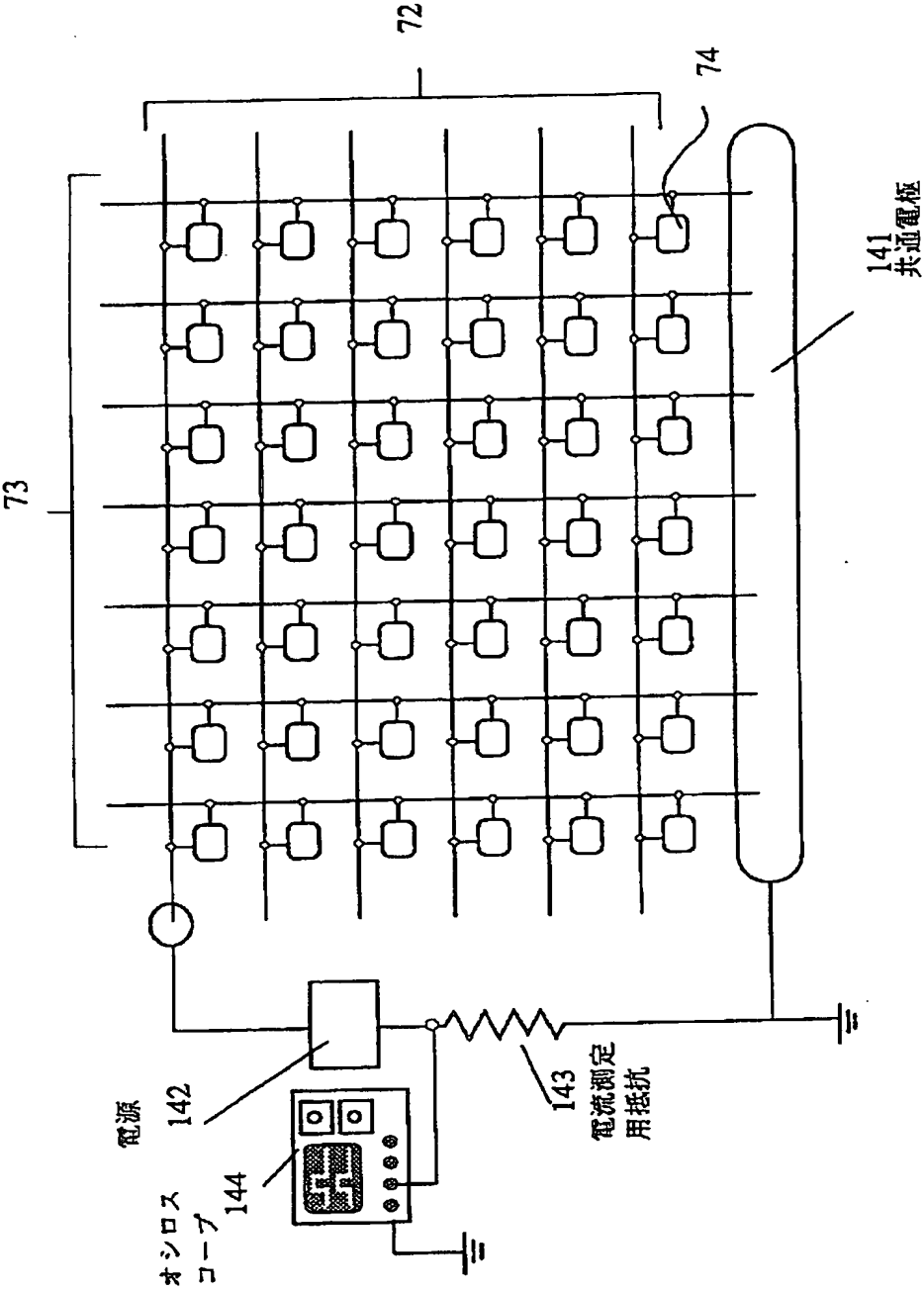
【図 12】



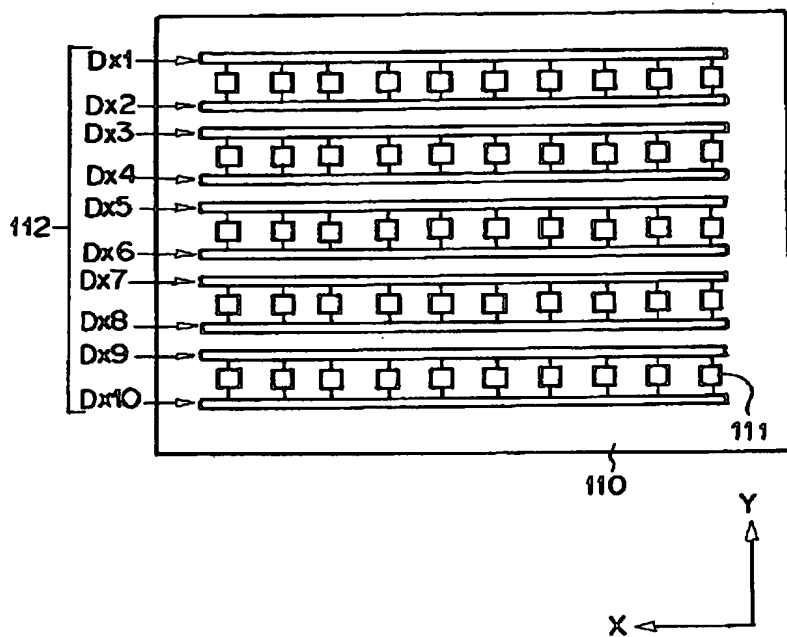
【図 1 3】



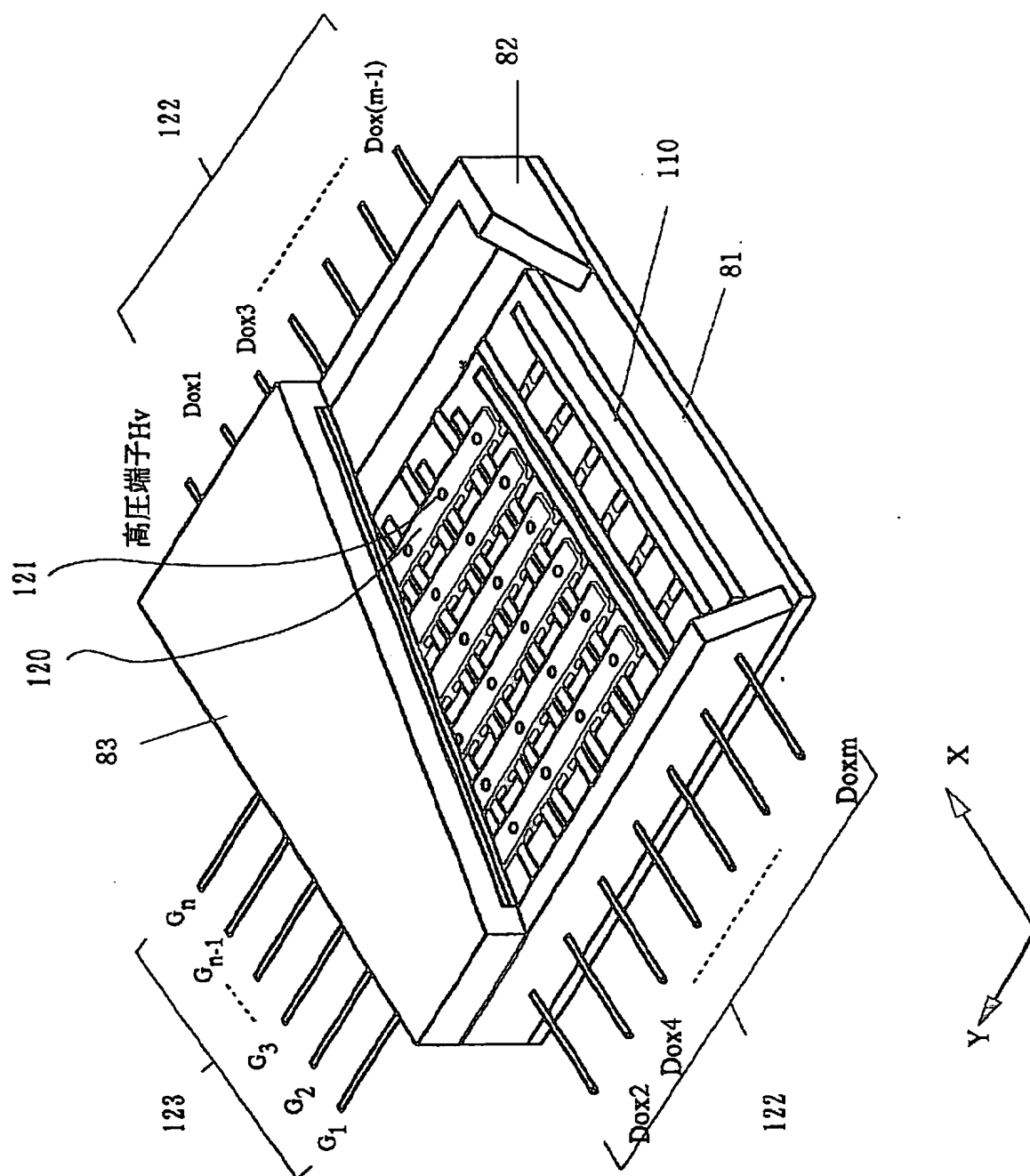
【図 1 4】



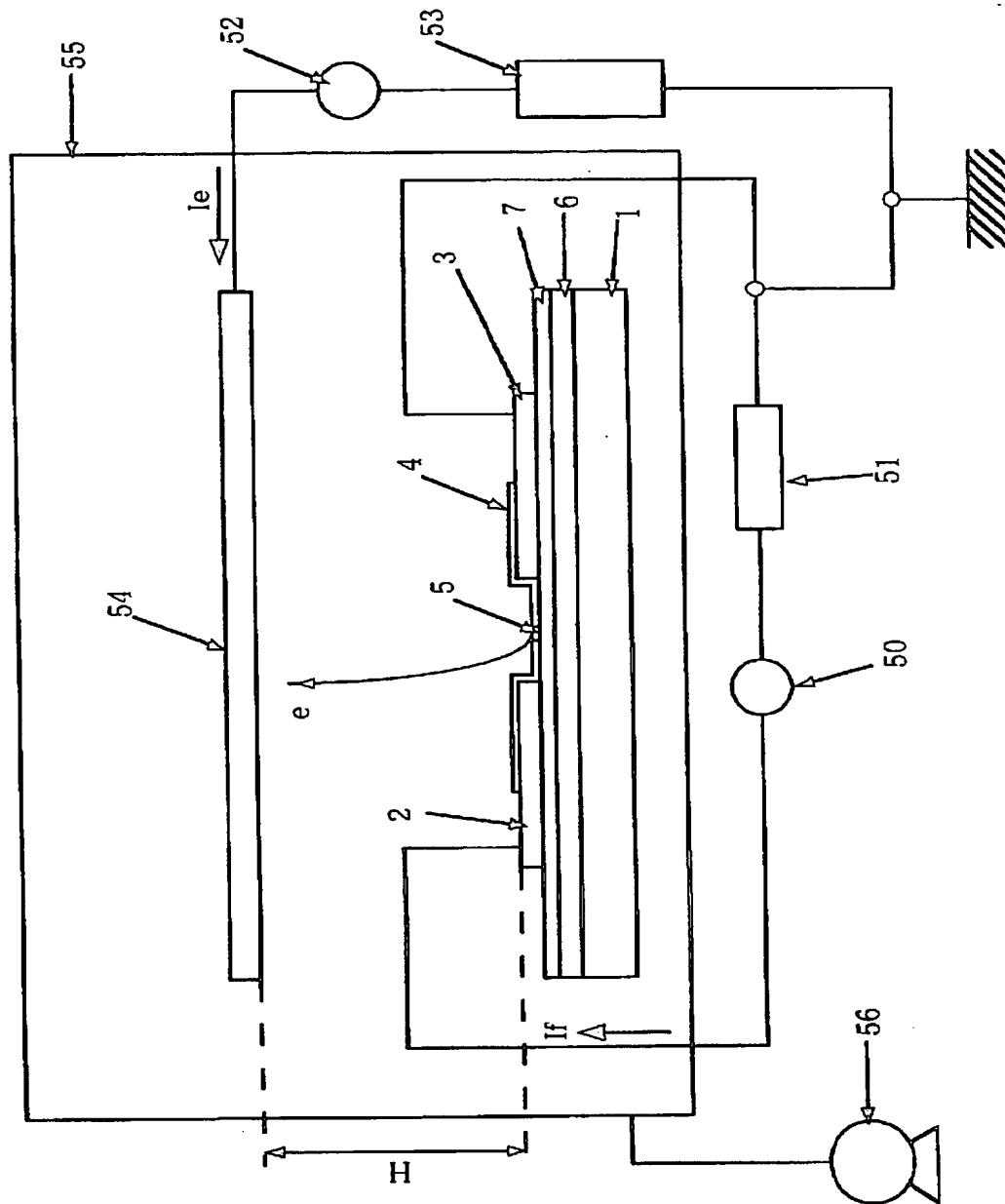
【図 1 5】



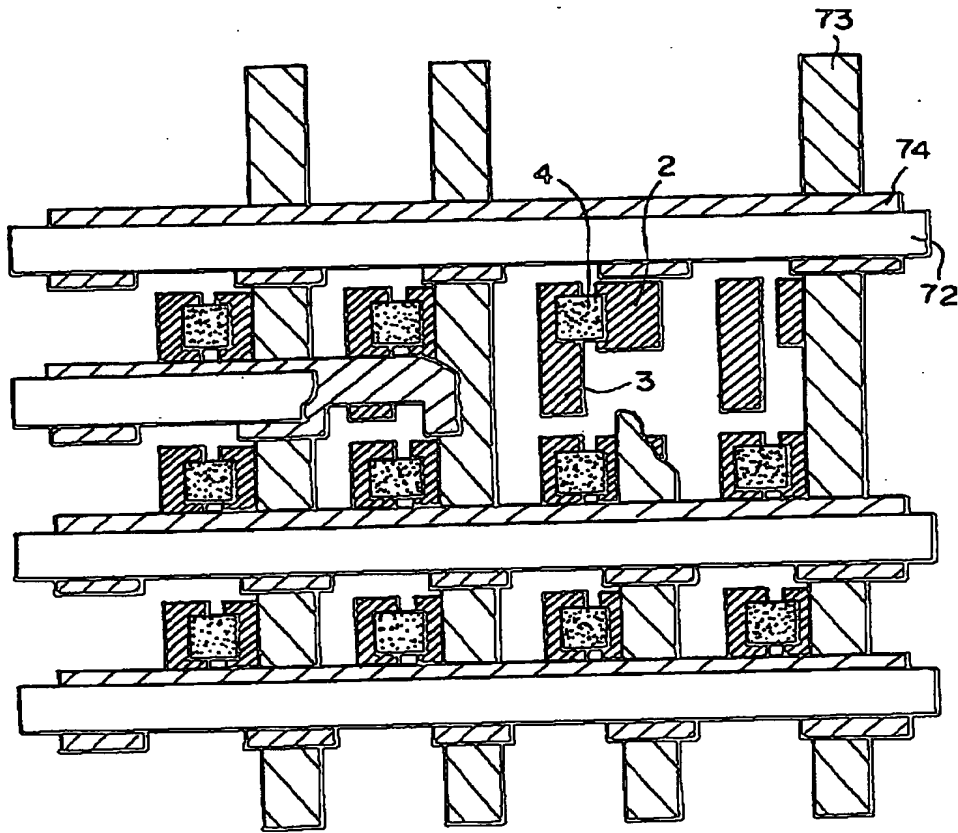
【図 16】



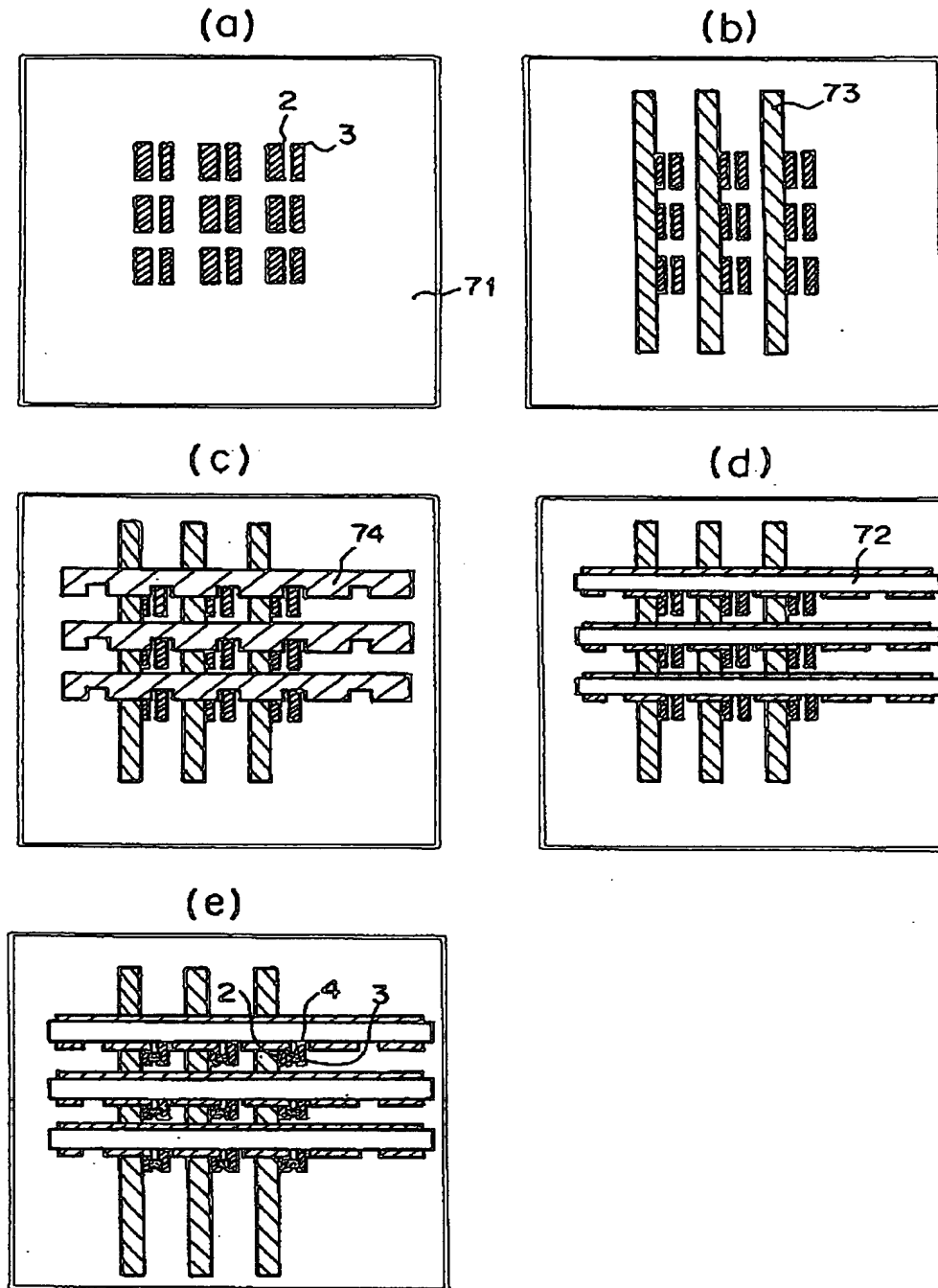
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 電子放出素子の電子放出特性の経時的変化が低減される電子源形成用基板及びその製造方法を提供する。

【解決手段】 電子放出素子が配置される電子源形成用基板であって、Naを含有する基板1と、該基板上に形成された、 SiO_2 を主成分とする第1の層6と電子伝導性酸化物を含有する第2の層7とを有する。

【選択図】 図1



認定・付加情報

特許出願の番号	平成11年 特許願 第319396号
受付番号	59901098512
書類名	特許願
担当官	第三担当上席 0092
作成日	平成11年11月18日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385

【住所又は居所】 東京都港区虎ノ門五丁目13番1号 虎ノ門40

森ビル 山下国際特許事務所

【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社